

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Youichi TOBITA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: IMAGE DISPLAY DEVICE WITH INCREASED MARGIN FOR WRITING IMAGE SIGNAL

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-163788	June 9, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 6月 9日  
Date of Application:

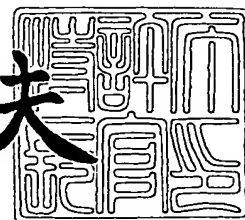
出願番号                      特願2003-163788  
Application Number:  
[ST. 10/C]:                      [JP 2003-163788]

出願人                      三菱電機株式会社  
Applicant(s):

2003年12月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号    出証特2003-3106299

【書類名】 特許願

【整理番号】 545063JP01

【提出日】 平成15年 6月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G69G 3/36

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 飛田 洋一

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

    【識別番号】 100083703

    【弁理士】

    【氏名又は名称】 仲村 義平

【選任した代理人】

    【識別番号】 100096781

    【弁理士】

    【氏名又は名称】 堀井 豊

## 【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

## 【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

## 【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】 画像を表示するための画像表示装置であって、  
行列状に配列される複数の画素素子、  
各画素素子行に対応して配置され、所定のシーケンスで選択状態へ駆動され、  
各々が選択時、対応の行の画素素子を選択状態へ駆動する選択信号を伝達する複数のゲート線、  
前記複数のゲート線に対して配置され、選択状態のゲート線の非選択状態への遷移を検出する非選択遷移検出回路、  
前記非選択遷移検出回路の非選択遷移検出に応答して、次の画像データ書込に関連する動作を行なう内部回路を備える、画像表示装置。

【請求項 2】 前記内部回路は、前記非選択遷移検出回路からの非選択遷移検出を指示する信号に応答して、前記所定のシーケンスにおける次のゲート線に対する選択信号を活性状態に駆動するゲート線選択回路を備える、請求項 1 記載の画像表示装置。

【請求項 3】 前記内部回路は、  
クロック信号に同期して前記所定のシーケンスで前記複数のゲート線を選択状態へ駆動する基本選択信号を生成するシフト回路と、  
各前記ゲート線に対応して配置され、前記対応のゲート線に対する選択信号の活性化に従って第 1 の状態に設定されかつ前記非選択遷移検出回路からの非選択遷移検出信号の活性化に従って第 2 の状態に設定される複数のゲート線活性化禁止回路と、  
対応の基本選択信号と前記所定のシーケンスにおける前段のゲート線活性化禁止回路の第 2 の状態とに従って対応のゲート線への前記選択信号を駆動するゲート線駆動回路とを備える、請求項 1 記載の画像表示装置。

【請求項 4】 前記内部回路は、さらに、各前記ゲート線に対応して配置され、各々が対応のゲート線を選択状態への駆動に応答して前記非選択遷移検出信号を非活性状態に設定する複数の初期化トランジスタを備える、請求項 3 記載の

画像表示装置。

【請求項 5】 前記非選択検出回路は、各前記ゲート線に対応して配置される複数の非活性化検出回路を備え、

各前記非活性化検出回路は、

対応のゲート線に一方電極が結合される容量素子と、

前記容量素子の他方電極を所定電位にプリチャージするプリチャージ素子と、

少なくとも前記容量素子の他方電極の電位に応答して前記非選択遷移検出信号を活性化する検出トランジスタを備える、請求項 1 記載の画像表示装置。

【請求項 6】 各前記非活性検出回路は、さらに、前記所定のシーケンスにおける隣接ゲート線の非活性状態に応答して前記検出トランジスタによる前記非選択遷移検出信号の活性化を能動化する制御トランジスタを備える、請求項 5 記載の画像表示装置。

【請求項 7】 前記複数の画素素子は、それぞれ、与えられた画像信号に従って表示動作を行なう表示画素素子を備える、請求項 1 記載の画像表示装置。

【請求項 8】 前記複数の画素素子は、画像を表示する複数の正規表示画素素子と、前記正規表示画素素子と整列して配置されるダミー画素素子とを備え、

前記複数のゲート線は、前記正規表示画素素子が接続される正規ゲート線と、各々にダミー画素素子が接続される複数のダミーゲート線とを含み、

前記非選択遷移検出回路は、前記ダミーゲート線の電位に従って前記非選択状態への遷移を検出して前記非選択遷移検出信号を活性化する、請求項 1 記載の画像表示装置。

【請求項 9】 前記内部回路は、前記非選択遷移検出信号の活性化に従って、指定された正規ゲート線を選択状態へ駆動する、請求項 8 記載の画像表示装置。

【請求項 10】 クロック信号に従って前記複数のダミーゲート線を順次選択するダミー基本ゲート信号を生成するダミー選択回路と、

各前記ダミーゲート線に対応して配置され、対応のダミーゲート線に対する選択信号の活性化に従って第 1 の状態に設定されかつ前記非選択検出信号の活性化に従って第 2 の状態に設定される活性化禁止回路と、

各前記ダミーゲート線に対応して配置され、ダミーゲート線選択シーケンスにおける前段の活性化禁止回路の第2の状態と対応のダミーゲート線に対するダミー基本選択信号とに従って、対応のダミーゲート線を選択状態に駆動する複数のダミーゲート駆動回路をさらに備える、請求項8記載の画像表示装置。

【請求項11】 前記内部回路は、

前記非選択遷移検出信号の活性化に従って次の画像データに対するデジタル画素データをラッチし出力するラッチ回路と、

前記ラッチ回路の出力データをアナログ信号に変換して出力するマルチプレクサを含む、請求項1記載の画像表示装置。

【請求項12】 前記マルチプレクサの出力信号に従って各画素列に対応して配置されるデータ線を駆動するデータ線駆動回路をさらに備える、請求項11記載の画像表示装置。

【請求項13】 各前記画素素子は、データ記憶ノードと対向して配置される対向電極を有する表示素子を含み、

前記内部回路は、前記非選択遷移検出信号の活性化に応答して第1および第2の電圧を交互に選択して前記対向電極へ印加する電圧発生回路を備え、前記対向電極の電圧の極性は、前記非選択遷移検出信号の活性化ごとに変化する、請求項1記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、画像表示装置に関し、特に、画像信号の書込に対する動作マージンを大きくすることのできる画像表示装置に関する。

【0002】

【従来の技術】

画像表示を、省スペースかつ低消費電力で行なうために、フラットパネルが広く用いられてきている。このフラットパネルにおいては、画像を表示する表示パネルに、画素がマトリクス状に配列される。各画素は、液晶素子などの画像表示素子と、この表示素子への画像信号を伝達する選択トランジスタを含む。

**【 0 0 0 3 】**

各画素行に対応してゲート線（走査線）が配置され、各画素列に対応して画像信号を伝達するデータ線が配置される。各ゲート線には、対応の行の画素のトランジスタのゲートが接続され、各データ線には、対応の列の画素のトランジスタの導通端子が接続される。

**【 0 0 0 4 】**

ゲート線は、走査線に対応し、ゲート線の選択期間は、画像の水平走査期間により決定される。たとえば、水平走査線の本数が 5 2 5 本である N T S C 方式においては、1 水平走査期間は  $64 \mu S$  である。この期間は短いため、通常、水平走査期間に合せて、1 本のゲート線を選択状態として、選択トランジスタを導通状態として画像信号を画素に書込み、残りの垂直走査期間の間、選択トランジスタを非導通状態に維持するアクティブマトリクス方式が利用される。各画素は、1 フィールド期間画像信号を維持して表示素子を駆動して、対応の画像信号を表示する。

**【 0 0 0 5 】**

このような画像表示装置においては、安定かつ正確に画像表示を行なうために、種々の工夫がなされる。

**【 0 0 0 6 】**

特開平 4 - 2 4 7 4 9 1 号公報（特許文献 1）においては、アクティブマトリクス型液晶表示装置において、画素ライン（走査線）の同時多重選択を防止するために、走査線に伝達されるゲート信号にブランキング信号を重畳させる。走査線の線幅が小さくなり、また必要とされる画素の数が大きくなった場合、走査線の寄生抵抗および寄生容量が大きくなり、ゲート信号が遅延し、その終端にまで到達するのに時間を要する。この伝搬遅延が大きくなった場合、ゲート信号の波形なまりが生じ、隣接走査線が同時に選択される状態が生じる。このような走査線の多重選択が生じる可能性のある期間ブランキング信号により、ゲート線への選択信号の伝達を禁止する。各ゲート線が選択状態から非選択状態へ駆動される期間をブランキング信号で決定し、ゲート信号が選択状態へ駆動されるタイミングを遅くして、波形なまりが生じる場合においても、走査線が同時に選択状態へ



駆動されて、隣接走査線の画素に、不要画素データが書込まれるのを防止する。

【0007】

特開平11-175027号公報（特許文献2）は、階調表示型表示装置において、画素に書込まれる階調電圧と入力される表示データとの対応関係を調整可能とすることを意図する表示装置駆動回路を示す。階調電圧を発生する分圧回路の分圧比を、モード設定信号に従って変更する。この階調表示特性を用途およびデバイス特性に応じて変更することにより、柔軟な表示画像特性を実現することを図る。

【0008】

特開昭58-49989号公報（特許文献3）は、各画素行に対応して液晶表示素子の対向電極を分割し、各分割対向電極線ごとにフリップフロップを配置する。各フリップフロップは、対応の走査線に対する選択信号に従ってその出力状態を変更する。画素信号を2種類の対向電極電圧の間で変化させることにより、電源電圧を用いて液晶素子の交流駆動を実現する。また、電源電圧を基準として液晶素子の画素信号極性を反転させる必要性をなくし、消費電力の低減および素子の信頼性の改善を図る。

【0009】

特開2000-250068号公報（特許文献4）は、ゲート線をクロック信号に同期して順次選択する液晶表示装置において、ゲート線の遅延と同程度の遅延を有するダミーゲート線を介してクロック信号を伝達し、ダミーゲート線からの遅延クロック信号を用いて、画素データを出力するドレインドライバ（画素列駆動回路）の出力／ラッチ状態を設定する。画素が、行列状に配置され、各画素行に対応してゲート線が配置され、各画素列に対応してド레인線が配置される。選択ゲート線の終端が選択状態に駆動されたときに画素データを対応のド레인線に伝達することにより、正確に各画素に対し画素データを書込むことを図る。

【0010】

【特許文献1】

特開平4-247491号公報

## 【0011】

## 【特許文献2】

特開平11-175027号公報

## 【0012】

## 【特許文献3】

特開昭58-49989号公報

## 【0013】

## 【特許文献4】

特開2000-250068号公報

## 【0014】

## 【発明が解決しようとする課題】

特許文献1に示される構成においては、水平同期信号に従ってブランキング信号を生成し、このブランキング信号の活性化期間、隣接走査線に対するゲート信号を非選択状態に設定する。このブランキング信号の活性化期間は、走査線の信号伝搬遅延のテスト結果に従ってマージンを見込んで予め固定的に設定される。したがって、プロセス変動などにより実際の信号伝搬遅延が設計時よりも大きくなった場合、このブランキング信号が非活性化されて次の走査線が選択状態へ駆動されるとき、前の走査線がまだ選択状態にあるため、多重選択が生じる。この場合、このデータ書込タイミングがブランキング信号に応じて設定されている場合、次の画像データが前の走査線の画素に重ね書きされ、正確な画像データの書込を行なうことができなくなるという問題が生じる。

## 【0015】

特許文献2においては、階調電圧と入力画像データとの対応関係のみを考慮している。入力画素データをラッチする第1ラッチで、1走査線分の画素データをラッチした後、所定のタイミングで生成されるラインクロック信号に従って第2のラッチへ第1ラッチのラッチデータを転送しラッチする。この第2のラッチ出力画像データに従って、各画素ごとに対応の階調電圧を選択する。選択された階調電圧が、電圧フォロアにより対応のデータ線に伝達されて、対応の画素に書込まれる。すなわち、1走査線の画素データの表示中に、次の画像データの取込が

行なわれ、次の走査線の選択時に、所定のタイミングで、選択された階調電圧が出力される。したがって、走査線の多重選択が生じない場合においても、走査線の信号伝搬遅延が大きい場合、走査線の非選択移行前に次の走査線に対する画像データが出力され、画像データの多重書込が生じる可能性がある。

#### 【0016】

特許文献4に示される構成においては、ダミーゲート線により生成される遅延クロック信号に従って、画素に対する画像データを出力するタイミングを設定している。ダミーゲート線には、画素は接続されていないため、ダミーゲート線は、正確には、画素が接続されるゲート線の伝搬遅延と同一の遅延を与えてはいない。したがって、プロセス変動によりゲート線の伝搬遅延とダミーゲート線の伝搬遅延の差が大きくなった場合、ゲート線多重選択の問題が生じる。また、たとえゲート線多重選択が生じない場合においても、選択ゲート線の最終端の画素が非選択状態のときに画像データが各データ線に伝達される場合が生じる可能性があり、正確な画像データの書込を行なうことができなくなるという問題が生じる。

#### 【0017】

すなわち、従来の画像表示装置においては、内部動作制御信号を電源電圧、温度、製造パラメータ等の変動による影響を推定したタイミングで固定的に生成する必要があり、高速でかつ動作マージンを有する制御信号発生タイミングを設計するのが困難であるという問題があった。

#### 【0018】

それゆえ、この発明の目的は、正確に、画像データの書込を行なうことのできる画像表示装置を提供することである。

#### 【0019】

この発明の他の目的は、データ書込に関連する動作に対するマージンを大きくすることのできる画像表示装置を提供することである。

#### 【0020】

##### 【課題を解決するための手段】

この発明に係る画像表示装置は、行列状に配列される複数の画素素子と、各画

素子行に対応して配置され、所定のシーケンスで選択状態へ駆動され、各々が選択時、対応の行の画素素子を選択状態へ駆動する選択信号を伝達する複数のゲート線と、これら複数のゲート線に対して配置され、選択状態のゲート線の非選択状態への遷移を検出する非選択遷移検出回路と、この非選択遷移検出回路の非選択遷移検出に応答して、次の画像データ書込に関連する動作を行なう内部回路を含む。

#### 【0021】

選択状態のゲート線を非選択状態への遷移を検出して、次の画像データ書込動作に関連する動作を制御することにより、実際の内部回路の状態に応じたタイミングで制御信号を生成することができ、動作速度およびタイミングマージンを考慮した最適動作タイミングを設計することができる。

#### 【0022】

##### 【発明の実施の形態】

##### [発明の原理的構成]

図1は、この発明に従う画像表示装置の構成を概略的に示す図である。図1において、画像表示装置は、画素が行および列のマトリクス状に配列される表示パネル1と、表示パネル1の各画素行に対応して配置されるゲート線 $GL_0 - GL_n$ の選択状態（活性状態）から非選択状態（非活性状態）への遷移を検出する非活性遷移検出回路2と、非活性遷移検出回路2からの非活性遷移検出信号DISに従って表示パネル1の次の画素行に対する画像データ書込に関連する動作を行なう画像データ書込関連回路（内部回路）3を含む。

#### 【0023】

表示パネル1においては、画素が行および列のマトリクス状に配列され、ゲート線 $GL_0 - GL_n$ が順次所定のシーケンスで選択状態へ駆動される。この表示パネル1において、画素列それぞれに対応して画素データ信号を伝達するデータ線が配列される。

#### 【0024】

非活性遷移検出回路2は、ゲート線 $GL_0 - GL_n$ それぞれについて電位変化をモニタし、選択状態のゲート線が非選択状態へ駆動されると、非選択遷移検出

信号DISを活性状態へ駆動する。

【0025】

画像データ書込関連回路3は、表示パネル1におけるゲート線を順次駆動するゲート線駆動回路、表示パネル1における画素に対する画素データ信号を生成して伝達するデータ線駆動回路および表示パネル1の画素が液晶素子の場合対向電極の電圧VCNTのレベルをゲート線選択周期で、変更する対向電極駆動回路を含む。

【0026】

非活性遷移検出信号DISが活性状態となると、選択状態のゲート線が非選択状態へ駆動されたことが指示され、次の画像データ書込を実行する。

【0027】

すなわち、図2の信号波形に示すように、選択状態のゲート線GL (GL0-GLnのいずれか) が選択状態 (Hレベル) から非選択状態 (Lレベル) への立下がりを検出すると、非活性遷移検出信号DISを活性状態 (Hレベル) へ駆動する。ゲート線GL0-GLnの負荷が大きく、ゲート線の信号伝搬遅延が生じる場合においても、その最遠部においてゲート線電位を検出することにより、確実に、選択状態のゲート線が全体にわたってすべて非選択状態に駆動されたときに活性遷移検出信号DISを活性状態へ駆動することができる。

【0028】

表示パネル1において選択状態のゲート線が非選択状態へ戻された後に、次の画像データ信号の書込に関連する動作を実行する。これにより、画素データ信号の二重書込、およびゲート線の多重選択による画素データ信号の重ね書きなどを確実に防止することができる。

【0029】

ゲート線GL0-GLnの実際の非選択状態への遷移を検出することにより、プロセス変動、電源電圧および温度などの動作環境の変動などが生じて、正確に、表示パネル1の内部が非選択状態へ駆動された後に次の画像データ信号書込を行なうことができる。非選択ゲート線の非選択状態への遷移を検出して次のゲート線に対する画像データ書込に関連する動作を行なうときに、非活性遷移検出

信号DISに基づいて次の画像データ書込に関連する動作開始タイミングを設定することにより、最適なタイミングで、次の画素データ信号の書込を行なうことができ、また書込に対するマージンも十分に大きくすることができかつ画素データ信号の次のゲート線に対する書込タイミングを早くすることができる。

#### 【0030】

##### 〔実施の形態1〕

図3は、この発明の実施の形態1に従う画像表示装置の要部の構成を概略的に示す図である。図3において、表示パネル1は、行列状に配列される複数の画素PXと、画素PXの各行に対応して配置されるゲート線GL0-GLnと、画素PXの各列に対応して配置されるデータ線DL0-DLmを含む。ゲート線GL0-GLnには、それぞれ、配線幅に比べ配線長が長くなり、配線抵抗RPおよび寄生容量CPを有する。寄生抵抗RPおよび寄生容量CPは、各画素PX単位でゲート線GL0-GLnそれぞれに存在する。図3においては、図面を簡略化するために、ゲート線GL0-GLnそれぞれにおいて、1つの単位寄生抵抗RPおよび単位寄生容量CPを代表的に示す。

#### 【0031】

画素PXに対し共通に対向電極16が設けられる。この対向電極16へは、対向電極駆動回路14からの対向電極電圧VCNTが与えられる。この対向電極16は、表示パネル1に対向して配置されるが、図3においては、対向電極電圧が、各画素に共通に与えられることを強調するために、電圧線で各画素PXに対向電極電圧が伝達される様に示す。

#### 【0032】

図1に示す非活性遷移検出回路2は、ゲート線GL0-GLnそれぞれに対応して設けられる非活性検出回路DSL0-DSLnを含む。これらの非活性検出回路DSL0-DSLnは、それぞれ対応のゲート線GL0-GLnが選択状態から非選択状態になりかつ走査シーケンスで次のゲート線が非選択状態のときに、信号線15上のゲート線非活性遷移検出信号DISを活性状態へ駆動する。ゲート線GL0-GLnそれぞれに対応して非活性検出回路DSL0-DSLnを設けることにより、正確に個々のゲート線GL0-GLnの選択状態から非選択

状態（活性状態から非活性状態）への遷移を検出することができる。また、これらの非活性検出回路DSL0-DSL<sub>n</sub>を、ゲート線GL0-GL<sub>n</sub>の終端部に配置して、最も信号変化の遅い領域において選択状態から非選択状態への遷移を検出することにより、対応のゲート線全体が非選択状態（非活性状態）へ駆動されたことを確実に検出することができる。

#### 【0033】

図1に示す画像データ書込関連回路3は、ゲート線GL0-GL<sub>n</sub>を所定のシーケンスで順次選択状態へ駆動する垂直走査回路10と、画像データ信号に従ってデータ線DL0-DL<sub>m</sub>へ画像データ信号を伝達するデータ線駆動回路12と、対向電極電圧VCNTを生成する対向電極駆動回路14を含む。

#### 【0034】

垂直走査回路10は、スタート信号STARTをクロック信号CLKに従って順次シフトしてゲート線を選択するための基本ゲート信号g0-g<sub>n</sub>を順次選択状態へ駆動するシフトレジスタSFTと、ゲート線GL0-GL<sub>n</sub>それぞれに対応して設けられ、非活性遷移検出信号DISと対応の基本ゲート信号g0-g<sub>n</sub>とに従って、対応のゲート線GL0-GL<sub>n</sub>へゲート信号G0-G<sub>n</sub>を伝達するゲート線駆動回路GDR0-GDR<sub>n</sub>を含む。

#### 【0035】

ゲート線駆動回路GDR1-GDR<sub>n</sub>は、走査シーケンスにおいて前段のゲート線駆動回路GDR0-GDR<sub>n-1</sub>が対応のゲート線GL0-GL<sub>n-1</sub>を選択状態へ駆動している第1の状態のときには、対応のゲート線を非選択状態に維持し、非活性遷移検出信号DISが活性化され、前段のゲート線駆動回路が第2の状態となったときに、対応のゲート線へ活性状態のゲート信号を伝達するのが許可される。

#### 【0036】

したがって、非活性遷移検出信号DISが選択状態のゲート線が非選択状態へ駆動されたことを示したときに、ゲート線駆動回路GDR1-GDR<sub>n</sub>は、それぞれ基本ゲート信号g1-g<sub>n</sub>に従ってゲート信号G1-G<sub>n</sub>を選択状態へ駆動する。

## 【0037】

ゲート線駆動回路GDR0は、各垂直走査周期（1フレーム）において最初にスタート信号STARTに従ってゲート信号G0を選択状態へ駆動するため、多重選択および画像データ重ね書きの問題が生じない。従って、このゲート線駆動回路GDR0は、シフトレジスタSFTからの基本ゲート信号g0に従ってゲート信号G0を生成する。

## 【0038】

データ線駆動回路12は、データ線DL0-DLmそれぞれに対応して設けられるアンプAMP0-AMPmを含む。これらのアンプAMP0-AMPmは、スイッチ回路SW0-SWmを介してデータ線DL0-DLmに結合される。このスイッチ回路SW0-SWmは、線順次方式の場合には、選択信号DE0-DEmが同時に活性状態となり、選択ゲート線に接続される画素PXに並行して画像データ信号が書込まれる。この線順次方式の場合、スイッチ回路SW0-SWmは特に設けられなくてもよい。点順次方式の場合には、選択ゲート線に接続される画素PXに対し、選択信号DE0-DEmが、図示しない水平クロック信号に従って順次選択状態へ駆動され、これらのスイッチ回路SW0-SWmが、導通状態となって順次画像データ信号が書込まれる。この線順次方式および点順次方式いずれの方式に従って画像データ信号の書込が行なわれてもよい。図3においては、スイッチ回路SW0-SWmそれぞれに、選択信号DE0-DEmが与えられるように示す。

## 【0039】

図4は、図3に示す画素PXの構成の一例を示す図である。図4において、画素PXは、対向電極16と内部ノード22の間に接続される液晶素子で構成される表示素子20と、対応のゲート線GL（GL0-GLnのいずれか）上のゲート信号に従って内部ノード22を対応のデータ線DL（DL0-DLmのいずれか）とを電氣的に接続するトランジスタ21を含む。ゲート線GLには、画素PXごとに、寄生抵抗RPと寄生容量CPが存在する。

## 【0040】

表示素子20が液晶素子で構成される場合、この内部ノード22と対向電極1



6に与えられる対向電極電圧 $V_{CNT}$ の電圧差に従ってその配向が決定され、応じて、その透過度が設定される。この表示素子20として、液晶素子が用いられている場合、さらに、共通電極電圧 $V_{COM}$ を液晶素子の透明電極（内部ノード22）に容量素子を介して伝達するトランジスタが設けられてもよい。

#### 【0041】

図5は、図3に示す非活性検出回路 $DSL_0 - DSL_n$ の構成を示す図である。非活性検出回路 $DSL_0 - DSL_{n-1}$ は同一構成を有するため、図5においては、非活性検出回路 $DSL_i$ （ $i = 0$ から $n-1$ ）および $SDL_n$ の具体的構成を示す。

#### 【0042】

図5において、非活性検出回路 $DSL_i$ は、ゲート線 $GL_i$ の終端ノード $ND_E$ とノード $ND_1$ の間に接続される容量素子30と、プリチャージ指示信号 $\phi_P$ に従ってノード $ND_1$ を電源電圧 $V_{DD}$ レベルにプリチャージするプリチャージ用PチャネルMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）31と、電源ノードと非活性遷移検出信号線15の間に直列に接続されるPチャネルMOSトランジスタ32および33を含む。MOSトランジスタ32はそのゲートがノード $ND_1$ に接続され、MOSトランジスタ33は、そのゲートが、隣接ゲート線 $GL_{i+1}$ の終端ノード $ND_E$ に接続される。電源ノードに対しては、電源電圧 $V_{DD}$ が供給され、プリチャージ指示信号 $\phi_P$ に従って内部ノード $ND_1$ が、MOSトランジスタ31を介して電源電圧 $V_{DD}$ レベルにプリチャージされる。

#### 【0043】

ゲート線 $GL_i$ が活性状態（選択状態）から非活性状態（非選択状態）へ駆動されるとき、容量素子30の容量結合により、ノード $ND_1$ の電圧レベルを低下させ、MOSトランジスタ32を導通状態に設定する。隣接ゲート線 $GL_{i+1}$ は、非選択状態であり、MOSトランジスタ33は導通状態にあり、応じて、非活性遷移検出信号線15が電源電圧 $V_{DD}$ レベルに駆動される。容量素子を電圧レベル変化検出素子として利用することにより、ゲート線の電位に悪影響を及ぼすことなく、正確に電圧レベル変化を検出することができる。

## 【0044】

垂直走査シーケンスにおける最終のゲート線  $GL_n$  に対しては、次の走査において選択される隣接ゲート線は存在しない。したがって、このゲート線  $GL_n$  に対して設けられる非活性検出回路  $DSL_n$  に対しては、MOS トランジスタ 33 は設けられない。ノード  $ND_1$  の電圧レベルに従って、MOS トランジスタ 32 が非活性遷移検出信号線 15 を電源電圧  $V_{DD}$  レベルに駆動する。しかしながら、この非活性検出回路  $DSL_n$  において、MOS トランジスタ 32 および 33 を直列に電源ノードと非活性遷移検出信号線 15 の間に接続し、MOS トランジスタ 33 のゲートを接地電圧レベルに固定してもよい。

## 【0045】

図 6 は、図 3 に示すゲート線駆動回路  $GDR_0 - GDR_n$  の構成を示す図である。ゲート線  $GL_0$  および  $GL_n$  は、その片側にのみ、隣接するゲート線が存在するだけである。したがって、これらのゲート線  $GL_0$  および  $GL_n$  に対して設けられるゲート線駆動回路  $GDR_0$  および  $GDR_n$  の構成は、他のゲート線  $GL_1$  から  $GL_{n-1}$  に対して設けられるゲート線駆動回路  $GDR_1$  から  $GDR_{n-1}$  の構成と異なる。したがって、この図 6 においては、ゲート線駆動回路  $GDR_0$  および  $GDR_n$  の構成を具体的に示し、他のゲート線  $GL_1$  から  $GL_{n-1}$  に対して設けられるゲート線駆動回路  $GDR_1$  から  $GDR_{n-1}$  については、ゲート線駆動回路  $GDR_1$  を代表的に示す。

## 【0046】

図 6 において、ゲート線駆動回路  $GDR_0$  は、シフタからの基本ゲート信号  $g_0$  を両入力に受ける AND ゲート 40a と、AND ゲート 40a のハイレベルおよびローレベルの電圧レベルを電圧  $V_{GH}$  および  $V_{GL}$  に変換してゲート信号  $G_0$  を生成するレベルシフタ 41 と、AND ゲート 40a の出力信号に従って第 1 の状態（隣接ゲート線の選択禁止状態）に設定され、かつ非選択遷移検出信号線 15 上の非選択遷移検出信号  $DIS$  の活性化に従って第 2 の状態に設定されて、次の行のゲート信号の発生を許可する活性化禁止回路 45 と、AND ゲート 40a の出力信号に従って非活性遷移検出信号線 15 を接地電圧レベルにプリチャージする N チャンネル MOS トランジスタ 47 を含む。

## 【 0 0 4 7 】

ANDゲート40aは、ゲート線GL0が、1フレーム（1枚の画面）の垂直走査のシーケンスにおいて最初に選択状態へ駆動されるゲート線であり、このゲート信号G0の選択状態への移行時ゲート線多重選択の問題は生じないため、ANDゲート40aへは、その両入力に、基本ゲート信号g0が与えられる。

## 【 0 0 4 8 】

MOSトランジスタ47は、ANDゲート40aの出力信号がHレベルのとき導通し、非活性遷移検出信号線15を接地電圧レベルに固定する。ゲート信号G0の非活性化時には、ANDゲート40aの出力信号がLレベルとなり、MOSトランジスタ47が導通状態から非導通状態へ移行する。MOSトランジスタ47が非導通状態への移行時となった後またはそれと並行して、ゲート線GL0の最遠端（図5のノードNDE）において、その電圧レベルが低下し、非活性遷移検出信号DISがHレベルへ駆動される。

## 【 0 0 4 9 】

活性化禁止回路45は、電源ノードとノードND2の間に接続されかつそのゲートがノードND3に接続されるPチャネルMOSトランジスタ50と、電源ノードとノードND3の間に接続されかつそのゲートがノードND2に接続されるPチャネルMOSトランジスタ51と、ノードND2と接地ノードの間に接続されかつそのゲートにANDゲート40aの出力信号を受けるNチャネルMOSトランジスタ52と、ノードND3と接地ノードの間に接続されかつそのゲートが非活性遷移検出信号線15に接続されるNチャネルMOSトランジスタ53と、ノードND2と接地ノードの間に接続されかつそのゲートがノードND3に接続されるNチャネルMOSトランジスタ54と、ノードND3と接地ノードの間に接続されかつそのゲートがノードND2に接続されるNチャネルMOSトランジスタ55を含む。

## 【 0 0 5 0 】

MOSトランジスタ54および55は、ノードND2およびND3が、MOSトランジスタ52および53がともに非導通状態となったときにフローティング状態となるのを防止するために設けられる。この活性化禁止回路45は、ラッチ

回路であり、これらのMOSトランジスタ54および55は、MOSトランジスタ52および53よりも、その電流駆動力が十分に小さくされ、ノードND2およびND3の状態反転に悪影響を及ぼさないようにされる。この電流駆動力の調整は、トランジスタのサイズ（チャネル幅とチャネル長の比）またはオン抵抗を調整することにより実現される。活性化禁止回路45として、ラッチ回路を利用することにより、非活性遷移検出信号DISの論理レベルが変化したときに確実にそのラッチ状態を変更して、ゲート信号を選択状態へ駆動することができる。

#### 【0051】

ゲート線駆動回路GDR1は、ゲート線駆動回路GDR0の活性化禁止回路45のノードND2上の信号と基本ゲート信号g1とを受けるANDゲート40bと、ANDゲート40bの出力信号の電圧レベル変換を行なってゲート信号G1を生成するレベルシフタ41と、ANDゲート40bの出力信号の活性化（Hレベル）時第1の状態に設定され、非活性遷移検出信号DISの活性化時第2の状態に設定される活性化禁止回路45と、ANDゲート40bの出力信号に従って非活性化遷移検出信号線45を接地電圧レベルへ駆動するNチャネルMOSトランジスタ47を含む。

#### 【0052】

ゲート線駆動回路GDR1に含まれる活性化禁止回路45は、ゲート線駆動回路GDR0に含まれる活性化禁止回路45と同じ構成を有する。ゲート線駆動回路GDR1の活性化禁止回路45のノードND2上の信号が、次の行のゲート線対して設けられるゲート線駆動回路GDR2のANDゲート40bの一方入力へ与えられる。このゲート線駆動回路GDR1と同じ構成のゲート線駆動回路が、ゲート線G1からGLn-1に対して設けられる。

#### 【0053】

ゲート線駆動回路GDRnは、前の行のゲート線駆動回路GDRn-1の活性化禁止回路45のノードND2上の信号と基本ゲート信号gnを受けるANDゲート40bと、ANDゲート40bの出力信号のレベル変換を行なってゲート信号Gnを生成するレベルシフタ41を含む。このレベルシフタ41は、ハイ側電源電圧VGHおよびロー側電源電圧VGLを受ける。図4に示す表示素子20が

液晶素子の場合、素子特性の劣化防止およびフリッカの発生防止のために、交流駆動する必要がある、各行ごとに、対向電圧の極性およびデータ信号の極性が変更される。このため、各ゲート線において確実に画素のトランジスタ（図4のトランジスタ21）を非導通状態および導通状態に設定するために、このレベルシフト41が設けられる。

#### 【0054】

ゲート線 $GL_n$ は、垂直走査シーケンスにおける最終のゲート線であり、このゲート線 $GL_n$ 上のゲート信号 $G_n$ が非活性化された場合、次の画像（フレーム）の表示のための走査が行なわれ、垂直同期信号に従って、ゲート線 $GL_0$ が次の画像の最初の選択ゲート線として選択される。従って、ゲート線 $GL_n$ 非選択からゲート線 $GL_0$ 選択までには時間的余裕があり、ゲート線 $GL_n$ の非活性化移行時の多重選択の問題は生じないため、このゲート線駆動回路 $GDR_n$ においては、活性化禁止回路45および非活性遷移検出信号の初期設定用のMOSトランジスタ47は設けられない。単に、前の行のゲート線駆動回路 $GDR_{n-1}$ の活性化禁止回路45の出力信号と基本ゲート信号 $g_n$ とに従って、ゲート信号 $G_n$ を生成する。

#### 【0055】

図7は、図3から図6に示す画像表示装置の動作を示す信号波形図である。以下、図7を参照して、図3から図6に示す画像表示装置の動作について説明する。ここで、図7においては、第0行目のゲート線 $GL_0$ 上のゲート信号が選択状態から非選択状態となり、次いで、第1行目のゲート線 $GL_1$ 上のゲート信号 $G_1$ が非選択状態から選択状態に移行するときの動作を示す。

#### 【0056】

図3に示すシフトレジスタ $SFT$ がクロック信号 $CLK$ に従ってシフト動作を行って、その出力信号を順次選択状態へ駆動する。

#### 【0057】

時刻 $t_0$ において、図3に示すシフトレジスタ $SFT$ からの基本ゲート信号 $g_0$ が電源電圧 $VDD$ レベルのHレベルから、接地電圧 $GND$ レベルのLレベルに変化する。このときまた、同時に、シフトレジスタ $SFT$ からの第1行目のゲー

ト線GL1に対する基本ゲート信号g1が接地電圧レベルのLレベルから電源電圧VDDレベルのHレベルに立上がる。

【0058】

この基本ゲート信号g0の立下がりに従って、ゲート線駆動回路GDR0においては、ANDゲート40aの出力信号が、そのゲート伝搬遅延だけ遅れて、時刻t1においてHレベルからLレベルに低下する。ここで、第0行目のゲート信号G0は、1つの垂直走査シーケンスにおいて最初に選択状態へ駆動される信号であり、前の行のゲート線に対するゲート信号との重なりを防止する必要はない。したがって、ANDゲート40aの両入力とは短絡されて、ゲート線GL0の選択状態への駆動時においては、非活性遷移検出信号DISの状態と独立に、基本ゲート信号g0に従ってゲート信号G0が生成される。

【0059】

このゲート線駆動回路GDR0のANDゲート40aの出力信号の立下がりに従って、ゲート線駆動回路GDR0において、レベルシフタ41の出力するゲート信号G0が、その伝播遅延後、時刻t2において、ハイレベル電圧VGHレベルからローレベル電圧VGLへ変化する。

【0060】

非活性線検出信号線15は、ゲート線駆動回路GDR0のMOSトランジスタ47が、ゲート線GL0の選択時にオン状態となり、接地電圧レベルに設定される。

【0061】

ゲート線GL0の終端ノードNDEにおいても、時刻t2からこの電圧レベルがほぼ同時に変化し始める。しかしながら、寄生抵抗RPおよび寄生容量CPの影響により、この電圧変化速度は始端に較べて小さく、レベルシフタ41からのゲート信号G0が、時刻t3においてローレベル電圧VGLまで低下しても、このゲート線GL0の最終端ノードNDEの電圧は、まだローレベル電圧VGLまで低下しない。

【0062】

一方、ANDゲート40aの出力信号の立下りに従って、ゲート線駆動回路G

DR0において、MOSトランジスタ47が非導通状態へ移行する。

#### 【0063】

ゲート線GL0の最終端ノードNDEの電圧レベルの低下に応じて、図5に示す非活性検出回路DSL0において容量素子30の容量結合により、内部ノードND1の電圧レベルが電源電圧VDDレベルから低下する。この内部ノードND1は、後に説明するように、予め電源電圧VDDレベルにプリチャージされている。このノードND1の電圧低下量は、容量素子30の容量値とノードND1の寄生容量（図示せず）の容量値と最終端ノードNDEの電圧変化分（ $\Delta V_G = V_{GH} - V_{GL}$ ）により決定される。ここでは、MOSトランジスタ32が導通するのに十分な電圧レベルにノードND1の電圧レベルが低下するように、容量素子30の容量値が設定されている。

#### 【0064】

時刻t3において、非活性検出回路DSL0においてノードND1の電圧レベルが低下し、MOSトランジスタ32が導通し始めると、非活性遷移検出信号線15が、MOSトランジスタ32および33を介して充電され、その電圧レベルが上昇する。

#### 【0065】

この信号線15上の信号DISの電圧レベルが活性化禁止回路45において、MOSトランジスタ53のしきい値電圧よりも高くなると、MOSトランジスタ53が導通し、ゲート線駆動回路GDR0において、ノードND3の電圧レベルが時刻t4から低下し始め、Lレベルにまで放電される。ノードND3が接地電圧レベルとなると、このゲート線駆動回路GDR0において、活性化禁止回路45のPチャネルMOSトランジスタ50が導通し、ノードND2が充電され、その電圧レベルが時刻t5から上昇し、電源電圧VDDレベルにまで上昇する。このゲート線駆動回路GDR0のノードND2の電圧レベルの上昇が、次の行のゲート線駆動回路GDR1のANDゲート40bの入力しきい値を超えると、ゲート線駆動回路GDR1において、ANDゲート40bの出力信号がHレベルへ立上がり、続いて、時刻t7において、レベルシフタ41の伝搬遅延後、ゲート信号G1が、電圧VGLから電圧VGHに立上がる。

## 【0066】

ここで、時刻  $t_6$  においては、既に時刻  $t_0$  で、基本ゲート信号  $g_1$  は、Hレベルとなっており、時刻  $t_5$  から ANDゲート 40b の信号伝搬遅延だけ遅れて、この ANDゲート 40b の出力信号が立上がる。

## 【0067】

一方、信号線 15 上の非活性化遷移検出信号 DIS が Hレベルへ駆動されても、ANDゲート 40b の出力信号が Hレベルとなると、ゲート線駆動回路 GDR1 において MOS トランジスタ 47 が導通し、信号線 15 上の非活性化遷移検出信号 DIS が、接地電圧レベルへと放電される。

## 【0068】

したがって、時刻  $t_7$  において、ゲート線駆動回路 GDR1 のレベルシフト 41 からのゲート信号  $G_1$  が Hレベルに立上がるときには、既にゲート線 GL0 の最終端ノード NDE が、接地電圧レベルに低下している。製造条件の変動による寄生抵抗 RP および寄生容量 CP の増大等により、ゲート線の最終端ノード NDE のレベル遷移時間が増大しても、確実に、次のゲート線 GL1 の活性化が、このゲート線 GL0 の最終端ノード NDE の電圧レベルが電圧 VGL に移行した後に行なわれるため、ゲート線 GL0 および GL1 の二重選択は生じない。

## 【0069】

すなわち、第  $j$  行目のゲート線 GL $j$  の最終端ノード NDE の電圧が、電圧 VGL になった後に、次の第  $(j+1)$  行目のゲート線 GL $j+1$  が自動的に活性化される。したがって、最小のゲート線非活性化時間を、画素の二重選択を防止しつつ設定することができる。

## 【0070】

なお、ゲート線駆動回路 GDR1 において ANDゲート 40b の出力信号が Hレベルとなると、このゲート線駆動回路 GDR1 において対応の MOS トランジスタ 47 が導通状態となる。このとき、ゲート線 GL0 に対して設けられた非活性化検出回路 DSL0 においては、MOS トランジスタ 32 および 33 は導通状態であるため、電源ノード VDD から接地ノードに貫通電流が流れる。しかしながら、時刻  $t_7$  において、ゲート信号  $G_1$  が電圧 VGH レベルとなり、その時刻  $t$



7から、緩やかにゲート線G1の最終端ノードNDEの電圧レベルが上昇するため、ゲート線GL0に対して設けられた非活性検出回路DSL0においてMOSトランジスタ33が非導通状態となる。したがって、この貫通電流が流れる時間は、時刻t6から時刻t7の間の期間であり、その消費電流は十分に小さくすることができる。

#### 【0071】

ゲート信号G1が選択状態へ駆動された後、時刻t8において、所定の負極性のパルス幅を有するプリチャージ指示信号 $\phi P$ により、非活性検出回路DSL0-DSLnそれぞれにおいて、ノードND1を電源電圧VDDレベルにまで充電する。

#### 【0072】

なお、非選択ゲート線に対して設けられる非活性検出回路においては、ゲート信号がLレベルを維持するため、内部ノードND1は、プリチャージされた電源電圧VDDレベルを維持し、対応のMOSトランジスタ32が非導通状態を維持する。従って、非選択ゲート線の非活性検出回路は、非活性遷移検出動作に対しては何ら悪影響は、及ぼさない。

#### 【0073】

図8は、図5に示す非活性検出回路に対するプリチャージ指示信号 $\phi P$ を発生する回路の構成の一例を示す図である。図8において、プリチャージ指示信号発生部は、クロック信号CLKを所定時間 $\tau_a$ 遅延する遅延回路60と、遅延回路60の出力信号の立上がりに対応して所定の期間Lレベルとなるワンショットのパルス信号を発生するワンショットパルス発生回路61を含む。このワンショットパルス発生回路61により、プリチャージ指示信号 $\phi P$ が生成される。

#### 【0074】

図9は、図8に示すプリチャージ指示信号発生部の動作を示すタイミング図である。図9を参照して、この図8に示すプリチャージ指示信号発生部の動作について説明する。

#### 【0075】

クロック信号CLKの立上がりに同期して、図3に示すシフトレジスタSFT

の出力する基本ゲート信号がシフトされる。図 9 において、基本ゲート信号  $g_k$  および  $g_{k+1}$  が、各クロックサイクルにおいて 1 サイクル期間 H レベルとなる状態を一例として示す。このクロック信号 CLK の立上がりに対応して基本ゲート信号  $g_k$  が H レベルとなると、前の行のゲート線の非活性化に従ってゲート信号  $G_k$  が立上がる。このゲート信号  $G_k$  が立上がった後に、遅延回路 60 の出力信号が H レベルとなり、応じてワンショットパルス発生回路 61 が、プリチャージ指示信号  $\phi_P$  を発生する。同様、基本ゲート信号  $g_{k+1}$  についても、対応のゲート信号  $G_{k+1}$  が立上がった後に、プリチャージ指示信号  $\phi_P$  が所定期間 L レベルとなる。

#### 【0076】

この遅延時間  $\tau_a$  は、ゲート線の最大許容伝搬遅延時間を考慮して定められればよく、ゲート線選択状態において画素データ信号の書込時にプリチャージ動作を行なっても、各ゲート線は、選択状態または非選択状態であり、フローティング状態と異なる状態であるため、ゲート線電位は変化せず、何ら問題は生じない。

#### 【0077】

図 10 は、プリチャージ指示信号を発生する部分の他の構成を示す図である。この図 10 に示すプリチャージ指示信号発生部は、非活性遷移検出信号 DIS を所定時間  $\tau_b$  遅延する遅延回路 62 と、遅延回路 62 の出力信号の立下がりに対応してワンショットのパルス信号を発生するワンショットパルス発生回路 63 を含む。このワンショットパルス発生回路 63 から、所定期間 L レベルとなるパルス信号がプリチャージ指示信号  $\phi_P$  として生成される。

#### 【0078】

この図 10 に示すプリチャージ指示信号発生部の構成の場合、図 11 にその動作波形を示すように、非活性遷移検出信号 DIS が L レベルとなり、次の行のゲート線に対するゲート信号  $G_k$  が駆動された後に、遅延回路 62 の出力信号に従ってプリチャージ指示信号  $\phi_P$  を活性化する。この場合、非活性遷移検出信号 DIS が L レベルとなった時点をもとにして、ワンショットのパルス信号を発生している。ゲート信号  $G_k$  の活性化と非活性遷移検出信号 DIS の立下がりとの間

は、ゲート線駆動回路 GDR における AND ゲート 40a (または 40b) とレベルシフタ 41 のゲート伝搬遅延により予め求めることができ、最適タイミングで、プリチャージ指示信号  $\phi P$  を発生することができる。

#### 【0079】

##### [変更例]

図 12 は、この発明の実施の形態 1 の変更例の要部の構成を概略的に示す図である。図 12 においては、ゲート線 GLk および GLk+1 についての構成を代表的に示す。これらのゲート線 GLk および GLk+1 は、それぞれ、基本ゲート信号 gk および gk+1 に従ってゲート線駆動回路 GDRk および GDRk+1 により駆動される。ゲート線 GLk および GLk+1 のゲート信号入力端 NDN に、非活性検出回路 DSLk および DSLk+1 が、それぞれ、設けられる。すなわち、この変更例においては、ゲート線 GLk および GLk+1 のゲート線駆動回路 GDRk および GDRk+1 に近い端部に、非活性検出回路 DSLk および DSLk+1 が設けられる。これらの非活性検出回路 DSLk および DSLk+1 は、非活性遷移検出信号線 15 を共通に駆動し、ゲート線駆動回路 GDRk および GDRk+1 は、それぞれこの非活性遷移検出信号 DIS に従って対応のゲート線へゲート線信号 Gk および Gk+1 を伝達する。

#### 【0080】

これらの非活性検出回路 DSLk および DSLk+1 は、それぞれ、ゲート線 GLk および GLk+1 の寄生抵抗および寄生容量による信号伝搬遅延を考慮してその活性化タイミングが設定される。これにより、ゲート線 GLk および GLk+1 の最終端 NDE において信号変化が生じた時点で、非活性検出回路 DSLk および DSLk+1 を活性化し、対応のゲート線が、選択状態から非選択状態になったことを検出する。実際の回路動作状態を検出して、次の行に対するゲート信号を活性状態へ駆動しており、ブランキング信号などの回路動作状態と独立な制御信号を利用する場合に較べて、正確に、ゲート線の非選択/選択状態に応じて、次の行のゲート信号を活性化することができ、また、ゲート信号の活性化タイミングも、信号伝播遅延に対するマージンを見込んで設定することにより、十分に早くすることができる。

## 【0081】

図13は、図12に示す非活性検出回路の構成の一例を示す図である。図13においては、非活性検出回路DSL<sub>k</sub>の構成を代表的に示す。この図13に示す非活性検出回路DSL<sub>k</sub>は、以下の点が、図5に示す非活性検出回路DSL<sub>i</sub>の構成と異なる。すなわち、隣接ゲート線GL<sub>k+1</sub>の入力端ノードNDNの信号G<sub>k+1</sub>をゲートに受けるPチャネルMOSトランジスタ33と非活性遷移検出信号線15の間に、活性化制御信号φACTに応答して選択的に導通するPチャネルMOSトランジスタ65が設けられる。この活性化指示信号φACTは、ゲート線GL<sub>k</sub>およびGL<sub>k+1</sub>における信号伝搬遅延時間を考慮して、各ゲート線駆動サイクルにおいてゲート線の活性化後活性化される。この図13に示す非活性検出回路DSL<sub>k</sub>の他の構成は、図5に示す非活性検出回路DSL<sub>i</sub>の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

## 【0082】

なお、垂直走査シーケンスにおける最終のゲート線GL<sub>n</sub>に対する非活性検出回路DSL<sub>n</sub>においては、MOSトランジスタ33は設けられない。

## 【0083】

図14は、この図13に示す非活性検出回路DSL<sub>k</sub>の動作を示す信号波形図である。以下、図14を参照して、この図13に示す非活性検出回路DSL<sub>k</sub>の動作について説明する。

## 【0084】

図示しないクロック信号(CLK)の立上がりに同期して、レベルシフタからのゲート信号G<sub>k</sub>が所定のゲート伝搬遅延経過後HレベルからLレベルに立下がる。このゲート信号G<sub>k</sub>の立下がり後、所定時間経過後に、活性化制御信号φACTがLレベルとなり、MOSトランジスタ65が導通する。ゲート信号G<sub>k</sub>がLレベルに立下がっており、また、このときには、ゲート線GL<sub>k+1</sub>上のゲート信号G<sub>k+1</sub>はLレベルであるため、非活性遷移検出信号線15上の非活性遷移検出信号DISがHレベルとなる。応じて、図12に示すゲート線駆動回路GDR<sub>k+1</sub>において、内部の活性化禁止回路の状態が変化し、基本ゲート信号g

$k+1$ に従ってゲート信号 $G_{k+1}$ がHレベルとなる。ゲート信号 $G_{k+1}$ がHレベルに立上がると、ゲート線駆動回路 $GDR_{k+1}$ により、非活性遷移検出信号 $DIS$ がLレベルに低下する。

#### 【0085】

所定時間が経過すると、プリチャージ指示信号 $\phi P$ が所定期間活性化され、また、このプリチャージ指示信号 $\phi P$ に従って活性化制御信号 $\phi ACT$ がHレベルとなる。このプリチャージ指示信号 $\phi P$ の活性化時、既にゲート信号 $G_{k+1}$ に従ってMOSトランジスタ33は非導通状態にあるため、MOSトランジスタ65が導通状態にあっても、特に問題は生じない。

#### 【0086】

図12および図13に示すように、ゲート線のゲート信号入力端ノード $NDN$ においてゲート信号の非活性化への遷移検出を行っても、そのゲート線の信号伝搬遅延を考慮して非活性遷移検出動作を活性化することにより、ゲート線の信号伝搬遅延がプロセス変動により変動し、その波形がなまる場合においても、正確に、前の行のゲート線が非選択状態となった後に、次の行のゲート線を選択状態へ駆動することができる。

#### 【0087】

図15は、図13に示す活性制御信号 $\phi ACT$ を発生する部分の構成の一例を示す図である。図15において、活性制御信号発生部は、クロック信号 $CLK$ を所定時間遅延する遅延回路67と、遅延回路67の出力信号の立上がりに対応してセットされかつプリチャージ指示信号 $\phi P$ の立下がりに対応してリセットされるセット／リセットフリップフロップ68を含む。このセット／リセットフリップフロップ68の出力／Qから、活性制御信号 $\phi ACT$ が出力される。

#### 【0088】

図16は、図15に示す活性制御信号発生部の動作を示す信号波形図である。以下、図16を参照して、この図15に示す活性制御信号発生部の動作について説明する。

#### 【0089】

クロック信号 $CLK$ がHレベルに立上がると、基本ゲート信号 $g_k$ がLレベル

に立下がり、所定の時間（ゲート伝搬遅延時間） $\tau_1$  経過後に、ゲート信号  $G_k$  が L レベルに立下がる。ゲート線の信号伝搬遅延を考慮した遅延時間  $\tau_2$  が経過した後に、遅延回路 67 の出力信号が H レベルに立上がり、セット／リセットフリップフロップ 68 がセットされ、活性制御信号  $\phi_{ACT}$  が L レベルとなる。セット時間が経過し、プリチャージ指示信号  $\phi_P$  が活性化されると、セット／リセットフリップフロップ 68 がリセットされ、活性制御信号  $\phi_{ACT}$  が H レベルとなる。

#### 【0090】

したがって、クロック信号  $CLK$  が H レベルに立上がり、次のゲート線の画素に対する走査サイクル始まる場合、ゲート線の信号伝搬遅延を考慮して、活性制御信号  $\phi_{ACT}$  を活性化することにより、ゲート線の多重選択を確実に防止することができる。特に、ゲート線の信号の立上がり／立下がり特性が等しい場合、このゲート信号の非活性化を検出し、即座に次の行のゲート線に対するゲート信号を活性化しても、そのときに前の行のゲート線の最終端が選択状態にあっても、前の行の非選択状態への移行と次の行の選択状態への移行とが同一方向へ、同じ伝播特性で伝達されると考えられる。従って、次の行のゲート線の最終端が選択状態へ駆動されるときには、前の行のゲート線の最終端は非選択状態に移行しているため、ゲート線全体にわたる選択状態の多重選択状態は防止することができる。

#### 【0091】

なお、セット／リセットフリップフロップ 68 におけるゲート伝搬遅延時間は、基本ゲート信号  $g_k$  を生成するシフトレジスタのシフト段のクロック信号に対するゲート伝搬遅延と同程度であれば特に考慮する必要はなく、単にゲート線駆動回路におけるゲート伝搬遅延時間とゲート線全体にわたる信号伝搬遅延時間を考慮して、活性制御信号  $\phi_{ACT}$  の活性化タイミングを設定する。この場合、ゲート線の立上がり／立下がり特性が等しい場合、前述のように、特に活性制御信号  $\phi_{ACT}$  を、ゲート信号  $G_k$  の立下がりからさらにゲート線の伝搬遅延時間を考慮して活性化する必要がなく、ゲート信号の非活性化を検出した時点で、次の行に対するゲート線を選択状態へ駆動してもよい。

**【0092】**

以上のように、この発明の実施の形態1に従えば、ゲート線の非選択状態への制御を検出した後に、次の行に対するゲート信号を選択状態へ駆動しており、確実に、ゲート線の多重選択を、製造プロセスおよび動作環境が変動しても防止することができ、回路動作タイミングを最適化することができかつ動作マージンを大きくすることができる。

**【0093】****[実施の形態2]**

図17は、この発明の実施の形態2に従う画像表示装置の要部の構成を概略的に示す図である。この図17に示す構成においては、ゲート線駆動回路内の活性化禁止回路45に対しては、レベルシフタ41から対応のゲート線GL (GL0-GLn-1) に伝達される信号が、ANDゲート40aおよび40bの出力信号に代えて用いられる。図17に示すゲート線駆動回路GDR (GDR0-GDRn) の構成は、図6に示す構成と同じであり、対応する部分には同一番号を付し、その詳細説明は省略する。

**【0094】**

図18は、図17に示すゲート線駆動回路の動作を示す信号波形図である。図18においては、ゲート信号G0が非活性化されて、次いで、ゲート信号G1が活性状態へ駆動される場合の動作時の信号波形を示す。

**【0095】**

時刻 $t_a$ において、ゲート線駆動回路GDR0からのゲート信号G0がLレベルに立下がる。この時刻 $t_a$ 以前においては、ゲート線駆動回路GDR0においては、活性化禁止回路45のMOSトランジスタ52が導通状態にあり、ノードND2はLレベルである。また、MOSトランジスタ47が導通状態にあり、非活性遷移検出信号線15はLレベルである。このゲート信号G0の立下がりによって、ゲート線GL0の最終端に設けられた非活性検出回路DSL0 (図5参照) においてノードND1の電圧レベルが、容量素子の容量結合により緩やかに低下する。

**【0096】**

時刻  $t_b$  において、ゲート線  $GL0$  に対して設けられた非活性検出回路  $DSL0$  (図 5 参照) のノード  $ND1$  の電圧レベルが低下し、非活性遷移検出信号線 15 へ電流を供給しても、このとき、まだ、ゲート線駆動回路  $GDR0$  においては、MOS トランジスタ 47 および 52 は、十分に非導通状態となっていないために、信号線 15 の非活性制御検出信号  $DIS$  は、 $L$  レベルを維持する (または緩やかに上昇する)。

#### 【0097】

時刻  $t_c$  において、ゲート信号  $G0$  に従って、MOS トランジスタ 47 および 52 が完全に非導通状態となると、信号線 15 上の非活性制御検出信号  $DIS$  が対応の非活性検出回路  $DSL0$  (図 5 参照) により  $H$  レベルへ駆動される。応じて、このゲート線駆動回路  $GDR0$  において MOS トランジスタ 53 が導通し、ノード  $ND3$  が接地電圧レベルへ放電され、ノード  $ND2$  が電源電圧レベルに駆動される。このノード  $ND2$  が電源電圧レベルに駆動されると、次の行のゲート線駆動回路  $GDR1$  において、AND ゲート 40b の出力信号が  $H$  レベルとなり、所定の伝搬遅延時間経過後、ゲート信号  $G1$  が  $H$  レベルとなる。このゲート信号  $G1$  が  $H$  レベルとなると、ゲート線駆動回路  $GDR1$  において、MOS トランジスタ 47 が導通し、非活性遷移検出信号線 15 が接地電圧レベルに放電される。

#### 【0098】

したがって、このレベルシフタ 41 からゲート線上に伝達されるゲート信号を活性化禁止回路 45 の駆動信号として利用することにより、非活性遷移検出信号線 15 上の信号の検出動作開始タイミングを遅くすることができ、応じて、この活性化禁止回路 45 の出力信号の変化タイミングを、図 5 に示すような AND ゲート 40a および 40b を利用する場合に比べて遅くすることができる。これにより、次の行のゲート信号の活性化を遅くすることができ、ゲート線多重選択を防止する時間のマージンを大きくすることができる。これにより、プロセス変動および動作環境などが変動しても、確実に、ゲート線の二重選択を防止することができる。

#### 【0099】



以上のように、この発明の実施の形態2に従えば、ゲート線の非活性遷移検出に従って次の行のゲート線駆動タイミングを調整する活性化禁止回路に対し駆動信号として、レベルシフタからのゲート信号を与えており、次の行のゲート線に対するゲート信号の発生タイミングを遅くすることができ、確実に、ゲート線の二重選択を防止することができる。

#### 【0100】

##### 〔実施の形態3〕

図19は、この発明の実施の形態3に従う画像表示装置の全体の構成を概略的に示す図である。図19において、画像表示装置は、画像データ信号に従って画像を表示する表示装置80と、この表示装置80に対する画像データ信号を生成するDA変換回路100を含む。表示装置80は、先の実施の形態1から2において示したように、行列状に配列される画素PXと、ゲート線GL0-GLn上のゲート信号の非活性化への遷移を検出する非活性遷移検出回路2と、ゲート線GL0-GLnを順次走査する垂直走査回路10を含む。この垂直走査回路10においては、クロック信号CLKに従ってスタート信号STARTを順次シフトして、基本ゲート信号を生成するシフトレジスタSFTと、このシフトレジスタSFTからの基本ゲート信号と非活性遷移検出信号DISとに従ってゲート線GL0-GLnを順次選択状態へ駆動するゲート線ドライバ90を含む。

#### 【0101】

このゲート線ドライバ90は、ゲート線GL0-GLnそれぞれに対応して配置されるゲート線駆動回路GDR0-GDRnを含む。非活性遷移検出回路2は、図5に示す回路と同様の構成を備え、ゲート線GL0-GLnそれぞれに対して設けられる非活性検出回路を含む。

#### 【0102】

この表示装置80においては、さらに、非活性遷移検出回路2の出力信号に従ってDA変換回路100のデータ出力タイミングを設定するために、非活性遷移検出回路2の出力信号をバッファ処理して出力するバッファ回路95が設けられる。このバッファ回路95は、非活性遷移検出信号線15上の信号に、表示装置外部に設けられたDA変換回路100に伝達するための駆動能力を与えるために

設けられる。信号線 15 上の非活性制御検出信号 D I S の駆動能力が十分大きい場合には、バッファ回路 95 は特に設ける必要はない。

#### 【0103】

DA変換回路 100 は、イネーブル信号 E N A の活性化時画素クロック信号 P C L K に従ってシフト動作を行ないかつラインクロック信号 L C L K に従ってリセットされるシフトレジスタ 110 と、シフトレジスタ 110 の出力信号に従って多ビット画像データ V D i n を順次取込みラッチする第 1 のラッチ回路 112 と、バッファ回路 95 からのラッチ指示信号 L A T に従って第 1 のラッチ回路 112 のラッチデータをラッチし出力する第 2 のラッチ回路 114 と、第 2 のラッチ回路 114 からの画像データに従って複数の階調電圧から対応の階調電圧を選択するマルチプレクサ 116 と、マルチプレクサ 116 からの階調電圧に従ってアナログ画像データ信号 D D 0 - D D n を生成するアンプ A M P 0 - A M P m を含む。

#### 【0104】

これらのアンプ A M P 0 - A M P m の出力画像データ信号 D D 0 - D D m は、スイッチ回路 S W 0 - S W m を介してデータ線 D L 0 - D L m にそれぞれ伝達される。このスイッチ回路 S W 0 - S W m は、線順次方式で画像データ信号の書込が行なわれる場合には同時に導通状態となるかまたは設けられなくてもよい。点順次方式に従って画像データ信号の書込が行なわれる場合には、スイッチ回路 S W 0 - S W m は、順次導通状態に設定される。

#### 【0105】

シフトレジスタ 110 は、表示装置 80 の 1 行の画素 P X、すなわちデータ線 D L 0 - D L m それぞれに対応するレジスト回路を含み、画素データクロック信号 P C L K に従って順次シフト動作を行ない、その出力のうちの 1 つを選択状態へ駆動する。このシフトレジスタ 110 は、1 行の画素に対するシフト動作が完了すると、図示しないイネーブル信号を生成し、これに応答して与えられるラインクロック信号 L C L K に従って初期状態に復帰する。

#### 【0106】

第 1 のラッチ回路 112 は、この表示装置 80 のデータ線 D L 0 - D L m それ

それぞれに対応するラッチを含み、シフトレジスタ 110 の出力信号に従ってラッチが順次選択状態へ駆動され、与えられた多ビット画像データおよび  $VD_{in}$  を取込みラッチする。

#### 【0107】

第2のラッチ回路 114 は、同様、データ線  $DL_0 - DL_m$  に対応するラッチを含み、ラッチ指示信号  $LAT$  の立上がりに応答して、その保持内容がリセットされかつラッチ指示信号  $LAT$  の立下がりに応答して第1のラッチ回路 112 のラッチ出力を取込みラッチしかつ出力する。

#### 【0108】

階調電圧  $VGR$  は複数種類の基準電圧であり、デジタル画像データ  $VD_{in}$  をアナログ信号に変換するための電圧を有する。すなわち、マルチプレクサ 116 は、データ線  $DL_0 - DL_m$  それぞれに対応して配置されるデコード回路を含み、第2のラッチ回路 114 の各ラッチから出力されるデジタル画像データに対応する階調電圧を選択して出力する。

#### 【0109】

アンプ  $AMP_0 - AMP_m$  は、電圧フォロウモードで動作し、マルチプレクサ 116 により生成された階調電圧に従って、低インピーダンスでデータ線  $DL_0 - DL_n$  を高速で駆動する。このマルチプレクサ 116 における階調電圧  $VGR$  の選択により、各画素に対するデジタル画像データがアナログ信号に変換される。

#### 【0110】

図 20 は、図 19 に示す画像表示装置の動作を示す信号波形図である。以下、図 20 を参照して、この図 19 に示す画像表示装置のゲート線切換時の動作について説明する。図 20 においては、ゲート線  $GL_k$  が選択状態から非選択状態へ駆動され、次にゲート線  $GL_{k+1}$  が選択状態へ駆動されるとき動作波形が示される。

#### 【0111】

ゲート線  $GL_k$  に対する走査期間が完了すると、ゲート線ドライバ 90 がゲート信号  $G_k$  を非選択信号へ駆動する。このゲート線ドライバ 90 からのゲート信

号の非活性化に従って、ゲート線  $G L k$  の最終端ノード  $N D E$  において、ゲート信号  $G k$  が緩やかに  $L$  レベルに立下がる。このゲート信号  $G k$  の立下がりに従って、非活性遷移検出回路 2 が、非活性遷移検出信号線 15 を  $H$  レベルに駆動する。この非活性遷移検出信号線 15 の信号の立上がりに従って、バッファ 95 からのラッチ指示信号  $L A T$  が  $H$  レベルに立上がる。

#### 【0112】

$D A$  変換回路 100 においては、ゲート線  $G k$  の駆動時において、シフトレジスタ 110 がシフト動作を行っており、第 1 のラッチ回路 112 には、次の行のゲート線  $G k + 1$  に対するデジタル画像データ  $V D i n$  が画素ごとに格納されている。このラッチ指示信号  $L A T$  の立上がりに対応して第 2 のラッチ回路 114 をリセットし、その格納するゲート線  $G k$  の各画素に対する画像データをリセットする。次いで、ラッチ指示信号  $L A T$  の立下がりに対応して第 2 のラッチ回路 114 をセット状態に設定し、第 1 のラッチ回路 112 の出力するデジタル画像データを第 2 のラッチ回路 114 において取込みラッチする。

#### 【0113】

この第 2 のラッチ回路 114 の出力する画素データに従って、マルチプレクサ 116 が、階調電圧選択動作を行ない、各画素データに対応する階調電圧が選択されて、アンプ  $A M P 0 - A M P m$  に伝達される。アンプ  $A M P 0 - A M P m$  は、電圧フォロワであり、線順次方式または点順次方式に従ってアナログ画素データ信号  $D D 0 - D D m$  を対応のデータ線  $D L 0 - D L m$  にそれぞれ伝達する。

#### 【0114】

一方、信号線 15 上の非活性遷移検出信号  $D I S$  が  $L$  レベルに立下がると、ゲート線  $G k + 1$  に対して設けられたゲート線駆動回路からのゲート信号  $G k + 1$  が回路固有の伝搬遅延時間の後に  $H$  レベルへ駆動される。 $D A$  変換回路 100 における第 2 のラッチ回路 114 のラッチ動作からマルチプレクサ 116 における選択動作およびアンプ  $A M P 0 - A M P m$  の遅延時間が異なる場合でも、選択状態のゲート線  $G L k$  が非選択状態に駆動された後に、次の行に対する新たな画素データ信号が生成されてデータ線  $D L 0 - D L m$  に伝達されるため、前の書込サイクル時に次の書込サイクルの画素データ信号が伝達され、画素に対する重ね書

きが生じるのを防止することができる。

#### 【0115】

表示装置 80 のゲート信号と第 2 のラッチ回路 114 のラッチタイミング信号が、表示装置 80 におけるゲート線の非選択状態への駆動に応じて設定されるため、電源電圧および動作温度などの動作環境およびゲート線の伝搬遅延を考慮する必要がなく、前サイクルのゲート線に接続される画素への誤書込を自動的に防止することができ、ゲート線活性化のタイミングなどのタイミングの最適化を容易に行なうことができる。また、DA変換回路 100 からの画素データの出力タイミングおよびゲート線の選択タイミングを最適化することができ、画素データの書込タイミングマージンを大きくすることができる。

#### 【0116】

なお、図 19 に示す画像表示装置においては、DA変換回路 100 は、表示装置 80 外部に設けられている（別々のチップに形成されている）。しかしながら、この DA 変換回路 100 は、表示装置 80 内に配置されてもよい。

#### 【0117】

以上のように、この発明の実施の形態 3 に従えば、ゲート線の非活性化の遷移を検出し、その検出結果に基づいて、次のサイクルの各画素データ信号生成タイミングを設定しており、画素データの重ね書きを自動的に防止することができ、最適なタイミングでゲート線およびデータ線を駆動することができ、書込マージンを大きくでき、正確に画像データの書込を行なうことのできる画像表示装置を実現することができる。

#### 【0118】

##### 〔実施の形態 4〕

画素に含まれる表示素子が、液晶素子の場合には、直流電圧が印加されると特性が劣化するため、通常、液晶素子に対しては交流駆動が行なわれる。すなわち、単位色画素に対する書込および電圧保持は、対向電極の電圧に対し正および負の極性の電圧を各フレームごとに交互にデータ線に対して書込むことにより行なわれる。

#### 【0119】

また、フレーム周波数が60ヘルツであり、1秒間に60フレームが表示される場合、各フレームごとにデータ信号の極性を反転する場合、液晶駆動周波数は、通常、30ヘルツとなる。このような30ヘルツの液晶駆動周波数の場合、フリッカと呼ばれるちらつきが表示画面上に現われ、表示画像品質が低下する。このようなフリッカを抑制するため、上下左右に隣り合う画素ごとに液晶駆動電圧の極性を交互に反転させて、フリッカを抑制する方式が一般に取られる。したがって、対向電極電圧を、ゲート線走査周期（ゲート線活性化周期）ごとに、その極性を变化させる（隣接行において信号電圧の極性を反転させてフリッカの発生を抑制する）。

#### 【0120】

この交流駆動の場合、選択ゲート線が非活性状態に駆動された後に対向電極電圧が変化しない場合には、この選択ゲート線において画素ノード（図4のノード22）と対向電極との間の電圧差が不正になり、誤表示が行なわれることになる。そこで、本実施の形態4においては、この対向電極電圧極性を、非活性遷移検出回路の検出結果に基づいて变化させる。

#### 【0121】

図21は、この発明の実施の形態4に従う画像表示装置の全体の構成を概略的に示す図である。図21において、表示装置80は、図19に示す表示装置80と同様の構成を備える。この表示装置80のデータ線DL0-DLmに書込データを伝達するために、DA変換回路100が設けられる。このDA変換回路100は、図19に示す構成と同じ構成を備えていてもよく、また従来と同様の構成を備えていてもよい。

#### 【0122】

この表示装置80の外部に、図3に示す対向電極駆動回路14が設けられる。この対向電極駆動回路14は、バッファ回路95の出力信号CTに従ってその入力Bに与えられた信号INを取込むラッチ回路120と、ラッチ回路120の出力Qの出力信号に従って選択的に導通し、導通時対向電極16にハイ側対向電極電圧VCNTHを伝達するスイッチゲート122と、ラッチ回路120の出力／Qの出力信号に従って選択的に導通し、導通時、対向電極線16にロー側対向電

極電圧  $V_{CNTL}$  を伝達するスイッチゲート 124 を含む。

#### 【0123】

入力信号  $I_N$  は、ゲート線の駆動周期の 2 倍の周期を有する。ラッチ回路 120 は、このバッファ回路 95 の出力信号  $CT$  の立上がりに従って入力  $D$  に与えられた入力信号  $I_N$  を取込み出力する。スイッチゲート 122 および 124 は、それぞれ、ラッチ回路 120 の出力  $Q$  および  $\bar{Q}$  が  $H$  レベルのときに導通状態となる。したがって、これらのスイッチゲート 122 および 124 は相補的に導通状態に設定される。

#### 【0124】

図 22 は、図 21 に示す画像表示装置の対向電極駆動回路 14 の動作を示す信号波形図である。以下図 22 を参照して、この図 21 に示す画像表示装置の対向電極電圧の変更動作について説明する。ゲート信号は、ゲート線の終端部における信号波形を示す。

#### 【0125】

今、ゲート線  $GL_k$  が選択状態にあり、対向電極電圧  $V_{CNT}$  が、ロー側対向電極電圧  $V_{CNTL}$  にあるとする。ゲート線  $GL_k$  のゲート信号  $G_k$  が、ハイレベル電圧  $V_{GH}$  からローレベル電圧  $V_{GL}$  に低下すると、非活性遷移検出回路 2 は、このゲート信号  $G_k$  の非活性化を検出し、信号線 15 上の非活性遷移検出信号  $DIS$  を  $H$  レベルに駆動する。応じて、バッファ回路 95 からの信号  $CT$  が  $H$  レベル（電圧  $V_H$  レベル）となり、ラッチ回路 120 が、そのときの  $H$  レベル（電圧  $V_H$  レベル）の入力信号  $I_N$  に従って出力  $Q$  から  $H$  レベルの信号を出力する。応じて、スイッチゲート 122 が導通し、ハイ側対向電極電圧  $V_{CNTH}$  を対向電極 16 に伝達する。スイッチゲート 124 は、ラッチ回路 120 の出力  $\bar{Q}$  からのローレベル信号に従って非導通状態となる。

#### 【0126】

この非活性遷移検出回路 2 の出力信号  $DIS$ 、すなわちバッファ回路 95 の出力信号  $CT$  が  $L$  レベルとなると、次の行のゲート線に対するゲート信号  $G_{k+1}$  が電圧  $V_{GH}$  レベルのハイレベルとなる。このゲート線  $GL_{k+1}$  の画素に対する画像データ信号の書込が行なわれる。このゲート信号  $G_{k+1}$  が活性状態の期

間において、入力信号  $I_N$  が、ハイレベル電圧  $V_H$  からローレベル電圧  $V_L$  に変化する。

#### 【0127】

ゲート信号  $G_{k+1}$  がハイレベル電圧  $V_{GH}$  からローレベル電圧  $V_{GL}$  に低下すると、バッファ回路 95 からの信号  $CT$  は、ローレベル電圧  $V_L$  からハイレベル電圧  $V_H$  に立上がり、ラッチ回路 95 が、この信号  $CT$  の立上がりに対応して入力信号  $I_N$  を取込み出力  $Q$  から取込んだ信号に対応する信号を出力する。この場合、入力信号  $I_N$  がローレベルであるため、ラッチ回路 120 の出力  $Q$  からの信号がローレベルとなり、スイッチゲート 122 が非導通状態、スイッチゲート 124 が導通状態となり、対向電極 16 には、ロー側対向電極電圧  $V_{CNTL}$  が伝達される。以降、各ゲート線駆動周期ごとに、この対向電極電圧  $V_{CNT}$  の電圧レベルが切換えられる。

#### 【0128】

したがって、選択状態のゲート線が、完全に非選択状態に駆動された後に対向電極電圧の電圧レベルを変更しており、正確に画像表示を行なうことができる。また、この対向電極電圧の電圧レベルの変更タイミングは、実動作時の選択状態のゲート線の非活性化に応じて自動的に設定される。したがって、この対向電極電圧の変更タイミングの設計が容易となり、対向電極電圧変化タイミングに対するマージンを大きくすることができる。

#### 【0129】

図 23 は、入力信号  $I_N$  を発生する部分の構成の一例を示す図である。図 23 において、入力信号  $I_N$  を発生する部分は、入力信号  $I_N$  を反転するインバータ 131 と、クロック信号  $CLK$  の立下がりに応答してインバータ 131 の出力信号を取込みラッチし、その出力  $Q$  から入力信号  $I_N$  を生成する D フリップフロップ 130 を含む。

#### 【0130】

図 24 は、図 23 に示す入力信号発生部の動作を示すタイミング図である。以下、図 24 を参照して、図 23 に示す入力信号発生部の動作について説明する。

#### 【0131】



クロック信号CLKは、垂直走査用のシフトレジスタへ与えられるクロック信号CLKと同じクロック信号である。したがって、クロック信号CLKの立上がりに同期して、基本ゲート信号g0、g1、g2、g3…が順次選択状態へ駆動される。これらの基本ゲート信号g0等は、クロック信号CLKの1サイクル期間、活性状態（選択状態）に維持される。

#### 【0132】

入力信号INは、最初、Lレベルに設定されているとすると、インバータ131の出力信号はHレベルである。クロック信号CLKが立下がると、Dフリップフロップ130の出力Qからの出力信号が、インバータ131の出力信号に応じた論理レベルとなり、入力信号INがHレベルとなる。以降、クロック信号CLKの立下がりごとに、入力信号INの論理レベルが変化する。

#### 【0133】

なお、上述の構成において、インバータ131の出力信号に代えて、Dフリップフロップ130の補の出力/Qからの出力信号が用いられてもよい。

#### 【0134】

また、この入力信号INを発生する回路構成として、Tフリップフロップを利用し、そのTフリップフロップのクロック入力に、クロック信号CLKの反転クロックを与えてもよい。

#### 【0135】

この対向電極駆動回路14は、表示装置内部に設けられてもよい。

また、特許文献3に示される構成の様に、対向電極16が、各ゲート線に対応して分割して配置され、分割対向電極線単位で対向電極電圧の電圧レベルの変更が行われてもよい。特許文献3の構成において、ゲート線入力端において、各分割対向電極に対応して、トグルフリップフロップ（Tフリップフロップ）と、スイッチゲートとを配置し、対応のゲート信号に従ってトグルフリップフロップを駆動する。対応のゲート線が選択状態へ駆動されるときに、対応の分割対向電極線の電圧レベルを変更することができる。このトグルフリップフロップのセット/リセットが、各分割電極線に対して共通に行われてもよい。

#### 【0136】

以上のように、この発明の実施の形態4に従えば、選択ゲート線が非選択状態へ移行した後に、対向電極電圧の電圧レベルを変更するように構成しており、対向電極電圧変化タイミングの設計が容易となり、この対向電極電圧変化タイミングのマージンを大きくすることができる。

#### 【0137】

##### [実施の形態5]

図25は、この発明の実施の形態5に従う画像表示装置の要部の構成を概略的に示す図である。図25において、表示パネル1においては、画像を表示するための正規画素が行列状に配列される正規画素マトリクス150と、この正規画素と同一電気的特性を有するダミー画素が行列状に配列されるダミー画素マトリクス152が設けられる。正規画素マトリクス150においては、ゲート線GLa-GLsが配線され、これらのゲート線GLa-GLsそれぞれに対応して、実施の形態1において詳細に説明したゲート線駆動回路GDRa-GDRsがそれぞれ設けられる。これらのゲート線駆動回路GDRa-GDRsへはシフトレジスタSFTからの基本ゲート信号ga-gsがそれぞれ与えられる。

#### 【0138】

ダミー画素マトリクス152は、正規画素マトリクス150の垂直走査シーケンスにおける最初のゲート線GL0および垂直走査シーケンスにおける最終のゲート線GLnのいずれの側に配置されてもよい。この配置位置の柔軟性を示すため、図25においては、ゲート線GL0-GLnに代えて、ゲート線GLa-GLsが示される。すなわち、ゲート線GLaが、ゲート線GL0に対応しても良く、また、ゲート線GLnに対応しても良い。

#### 【0139】

ダミー画素マトリクス152においては、複数（本実施の形態においては2本）のダミーゲート線DGL0およびDGL1が設けられる。このダミー画素マトリクスのダミーゲート線DGL0およびDGL1それぞれに対して、実施の形態1において詳細に説明した非活性検出回路DDSL0およびDDSL1がそれぞれ非活性遷移検出回路2として設けられる。

#### 【0140】

ダミーゲート線 D G L 0 および D G L 1 それぞれに対して、ゲート線駆動回路 G D R a - G D R s と同様の構成のダミーゲート線駆動回路 D G 0 および D G 1 が設けられる。これらのゲート線駆動回路 G D R a - G D R s およびダミーゲート線駆動回路 D G D R 0 および D G D R 1 に対しては、非活性遷移検出回路 2 からの非活性遷移検出信号 D I S が共通に与えられる。

#### 【 0 1 4 1 】

ダミーゲート線駆動回路 D G D R 0 および D G D R 1 に対しては、ダミーゲートシフト回路 D S F T が設けられる。このダミーゲートシフト回路 D S F T は、基本ダミーゲート信号 d g 0 および d g 1 を生成してダミーゲート線駆動回路 D G D R 0 および D G D R 1 へ与える。これらの基本ダミーゲート信号 d g 0 および d g 1 は、クロック信号 C L K の周期で交互に活性化される。

#### 【 0 1 4 2 】

この図 2 5 に示す構成の場合、ダミー画素マトリクス 1 5 2 においては、正規画素マトリクス 1 5 0 に配設されるゲート線 G L a - G L s と同じ電気的特性を有するダミーゲート線 D G L 0 および D G L 1 が配設される。ダミーゲート線 D G L 0 および D G L 1 の活性状態から非活性状態への移行は、したがって、正規画素マトリクス 1 5 0 に配設されるゲート線 G L a - G L s の活性状態から非活性状態への遷移と同じ特性で生じる。したがって、非活性検出回路 D D S L 0 および D D S L 1 を用いて、ダミーゲート線 D G L 0 および D G L 1 の活性状態から非活性状態への遷移を検出することにより、正規画素マトリクス 1 5 0 における選択ゲート線の非選択状態への移行を確実に検出することができる。

#### 【 0 1 4 3 】

また、非活性検出回路 D D S L 0 および D D S L 1 が、ダミーゲート線 D G L 0 および D G L 1 に対して設けられるだけであり、ゲート線 G L a - G L s には非活性検出回路は設けられていないため、回路の占有面積を低減することができる。

#### 【 0 1 4 4 】

また、非活性検出回路 D D S L 0 および D D S L 1 の出力信号 D I S の駆動能力を大きくするために、これらの非活性検出回路 D D S L 0 および D D S L 1 に

含まれるトランジスタのサイズを増大させて、非活性遷移検出信号DISの駆動能力を大きくすることができる。

#### 【0145】

図26は、図25に示すダミー画素マトリクス152に関連する部分の構成を示す図である。図26において、ダミーゲート線DGL0およびDGL1それぞれに対し、ダミー画素DPXが結合される。ダミー画素DPXは、図25に示す正規画素マトリクスに含まれる画素PXと同じ構成を有し、同じ電気的特性を有する。

#### 【0146】

ダミー画素DPXの各列に対応してダミーデータ線DDL0-DDLmが設けられる。これらのダミーデータ線DDL0-DDLmは、図25に示す正規画素マトリクス150に含まれるデータ線(DL0-DLm)に連続的に接続されてもよく、またこれらのダミーデータ線DDL0-DDLmは、定電圧源に結合され、その電圧レベルが固定されてもよい。

#### 【0147】

ダミー画素DPXは、図25に示す正規画素マトリクス150に含まれる画素と同一の電気的特性を有しており、従って、ダミーゲート線DGL0およびDGL1は、正規画素マトリクス150(図25参照)に含まれるゲート線GLa-GLsと同じ電気的特性を有し、ゲート線GL0-GLnと同様、各ダミー画素DPX当り、配線抵抗RPおよび寄生容量CPを有する。

#### 【0148】

ダミーゲート線DGL0およびDGL1の最終端ノードNDEに設けられる非活性検出回路DDSL0およびDDSL1は、図5に示す非活性検出回路DSL<sub>i</sub>と同じ構成を有するため、対応する部分には同一参照番号を付し、その詳細説明は省略する。

#### 【0149】

これらのダミーゲート線DGL0およびDGL1は、交互に各ゲート線活性化周期ごとに選択状態へ駆動されるため、非活性検出回路DDSL0およびDDSL1においては、MOSトランジスタ33のゲートが、それぞれ相手方のダミー

ゲート線の最終ノードに結合される。すなわち、非活性検出回路DDSL0においてはMOSトランジスタ33のゲートが、ダミーゲート線DGL1に結合され、また非活性検出回路DDSL1においては、MOSトランジスタ33のゲートが、ダミーゲート線DGL0に結合される。

#### 【0150】

これらの非活性検出回路DDSL0およびDDSL1が、共通に非活性遷移検出信号線15に結合され、非活性遷移検出信号DISを生成する。

#### 【0151】

ダミーゲート線DGL0およびDGL1それぞれに対して設けられるダミーゲート線駆動回路DGDR0およびDGDR1は、それぞれ、図6に示すゲート線駆動回路GDR1と同一構成を有するため、対応する部分には同一参照番号を付し、その詳細説明は省略する。ダミーゲート線駆動回路DGDR0の活性化禁止回路45の出力信号が、ダミーゲート線駆動回路DGDR1のANDゲート40bの第1の入力へ与えられ、またダミーゲート線駆動回路DGDR1の活性禁止回路45の出力信号がダミーゲート線駆動回路DGDR0のANDゲート40bの第1の入力へ与えられる。

#### 【0152】

ダミーゲートシフト回路DSFTは、クロック信号CLKに従ってその出力状態が変化するTフリップフロップ（トグルフリップフロップ）160を備える。Tフリップフロップ160の出力Qから基本ダミーゲート信号dg0が出力され、その出力/Qから基本ダミーゲート信号dg1が出力される。これらの基本ダミーゲート信号dg0およびdg1は、それぞれ、ダミーゲート線駆動回路DGDR0およびDGDR1それぞれのANDゲート40bの第2の入力へ与えられる。Tフリップフロップ160を利用する事により、容易にクロック信号CLKを分周して、ダミーゲート線を交互に選択状態へ駆動することができる。

#### 【0153】

図27は、図26に示す回路の動作を示すタイミング図である。以下、図27を参照して、この図26に示す回路の動作について簡単に説明する。

#### 【0154】

ダミーゲートシフト回路DSFTは、クロック信号CLKの立上がりごとに、その出力状態が変化し、基本ダミーゲート信号dg0およびdg1が、クロック信号CLKの立上がりごとに交互に活性状態（Hレベル）に駆動される。基本ダミーゲート信号dg1が非選択状態へ駆動されると、ダミーゲート線DGL1において最終端ノードNDEのダミーゲート信号DG1がLレベルに低下し、非活性検出回路DDSL1により信号線15が駆動され、非活性遷移検出信号DISがHレベルとなる。応じて、ダミーゲート線駆動回路DGDR1において活性化禁止回路45が第2の状態に設定される。応じて、第2ゲート線駆動回路DGDR0においてANDゲート40bが、基本ダミーゲート信号dg0に従ってその出力信号をHレベルに立上げ、レベルシフタ41からダミーゲート線DGL0へ、ダミーゲート信号DG0が伝達される。このANDゲート40bの出力信号の立上がりに従って、ダミーゲート線駆動回路DGDR0のMOSトランジスタ47により、非活性遷移検出信号DISがLレベルに立下がる。

#### 【0155】

次のサイクルにおいては、ダミーゲートシフト回路DSFTにおいて、トグルフリップフロップ160の出力状態が、クロック信号CLKの立上がりに従って変化し、基本ダミーゲート信号dg0がLレベル、基本ダミーゲート信号dg1がHレベルに立上がる。応じて、ダミーゲート線DGL0上のダミーゲート信号DG0がLレベルとなり、応じて非活性遷移検出信号DISが非活性遷移検出回路DDSL0によりHレベルに駆動される。応じて、ダミーゲート線駆動回路DGDR0において活性化禁止回路45が第2の状態に設定され、ダミーゲート線駆動回路DGDR1のANDゲート40bの出力信号がHレベルとなり、ダミーゲート線DGL1にダミーゲート信号DG1が伝達される。以降、この動作がクロック信号CLKの立上がりごとに繰返し実行される。

#### 【0156】

ダミーゲート線DGL0およびDGL1は、ダミー画素DPXが、正規画素マトリクス正規画素と整列して配置されており、その電気的特性はゲート線GLa-GLsと同じである。したがって、この非活性遷移検出信号DISに従ってダミーゲート信号の駆動タイミングを設定することにより、正規画素マトリクスに

においても、ゲート線GLa-GLsにおいて、選択状態のゲート線が非選択状態へ移行した後に、次の行のゲート線を選択状態へ駆動することができる。

【0157】

なお、この図26に示す構成においては、ダミーゲート線駆動回路DGDR0およびDGDR1においては、ANDゲート40bの出力信号が活性化禁止回路45へ与えられている。しかしながら、実施の形態2のように、レベルシフタ41の出力信号を用いて活性化禁止回路45の動作が設定されてもよい。またこれらのダミー画素マトリクスを利用する構成は、実施の形態3および4と組合せて用いられてもよい。

【0158】

以上のように、この発明の実施の形態5に従えば、正規画素が接続されるゲート線と同じ電気的特性を有するダミーゲート線を用い、このダミーゲート線の電圧の変化を検出して、ゲート線駆動タイミングを設定しており、ゲート線非活性化遷移検出回路の占有面積を低減することができる。また、これらの非活性検出回路のトランジスタのサイズを大きくすることにより、非活性遷移検出信号線の駆動能力を大きくすることができ、正確に、非活性遷移検出タイミングを検出することができる。

【0159】

[実施の形態6]

図28は、この発明の実施の形態6に従う画像表示装置の画素の他の構成を示す図である。図28において、画素PXは、電界発光素子200と、ゲート線GLが非選択状態のとき導通し、電界発光素子200のカソードを内部ノードNDaに結合するPチャネルMOSトランジスタで構成されるスイッチングゲート201と、ゲート線GLの選択時導通し、内部ノードNDaをデータ線DLに結合するNチャネルMOSトランジスタで構成されるスイッチングゲート203と、ゲート線GLの選択時導通し、内部ノードNDaを内部ノードNDbに電氣的に結合するNチャネルMOSトランジスタで構成されるスイッチングゲート204と、内部ノードNDbとロー側電源線215の間に接続される容量素子205と、内部ノードNDaとロー側電源線215の間に接続されかつそのゲートが内部

ノードND bに接続されるNチャネルMOSトランジスタ206を含む。

【0160】

電界発光素子200のアノードは、ハイ側電源線210に接続される。これらの電源線210および215には、それぞれ、電圧V<sub>H</sub>およびV<sub>L</sub>が供給される。

【0161】

この図28に示す画素PXは、エレクトロルミネッセンス素子であり、電界発光素子200において電流が流れるとき、その駆動電流に応じて発光する。この画素PXが、表示パネルにおいて、行列状に配列される。

【0162】

データ書込時（サンプリング期間）においては、データ線DLに、書込データ（電流）が供給される。ゲート線GLが選択状態のHレベルに駆動され、スイッチングゲート203および204が導通し、一方、スイッチングゲート201が非導通状態となる。この状態においては、データ線DLからの電流により、スイッチングゲート203を介して電流が供給され、スイッチングゲート204を介して容量素子205が充電される。このとき、MOSトランジスタ206は、スイッチングゲート204を介してゲートおよびドレインが相互接続されて、ダイオードモードで動作し、データ線DLから供給される電流を流す。したがって容量素子205の充電電圧（ノードND bの電圧）は、このMOSトランジスタ206の駆動電流I<sub>in</sub>に対応する電圧レベルとなる。

【0163】

データ書込期間（サンプリング期間）が完了すると、ゲート線GLが非選択状態のLレベルとなり、スイッチングゲート203および204が非導通状態となり、一方、スイッチングゲート201が導通する。MOSトランジスタ206は、容量素子205の充電電圧によりそのゲート電圧が設定され、電流I<sub>in</sub>を駆動する。このとき、スイッチングゲート201が導通状態にあるため、電界発光素子200が駆動する電流は、MOSトランジスタ206の駆動電流I<sub>in</sub>に等しい電流レベルとなり、ハイ側電源線210からロー側電源線215に、この書込データに応じた電流I<sub>in</sub>が流れ、電流I<sub>in</sub>に応じた強度で電界発光素子2



00が発光する。

【0164】

このような画素PXが、エレクトロルミネッセンス素子で構成される場合においても、ゲート線GLの多重選択が生じた場合、容量素子205の充電電圧が書込データと異なる電圧レベルとなる。したがって、この実施の形態1から5に示す構成を利用して、ゲート線GLが非選択状態に駆動された後に、次の行に対するゲート線を選択状態へ駆動する、またはデータの書込を実行する。

【0165】

なお、上述の説明においては、データ線DLから書込データとして電流を供給して、MOSトランジスタ206の駆動電流 $I_{in}$ を決定していると説明している。しかしながら、データ線DLに電圧（階調電圧を含む）が与えられてもよい。容量素子205が、このデータ線DLに供給される書込データ電圧に応じた電圧レベルに充電される。この場合、MOSトランジスタ206が、ノードNDbの電圧に応じた電流を駆動し、電界発光素子200の駆動電流量が決定される。

【0166】

したがって、この図28に示すようなエレクトロルミネッセンス素子がアクティブマトリクス型に配置されている場合においても、実施の形態1から5の構成を利用することにより、正確にデータの書込（サンプリング）を行なうことができる。

【0167】

なお、上述の説明においては、ゲート線駆動信号として、選択状態がHレベルとなる正極性の信号が用いられている。しかしながら、電圧の極性およびトランジスタの導電型を逆にすることにより、負極性のゲート線駆動信号が用いられる場合に対しても、本発明は適用可能である。

【0168】

また、構成要素のMOSトランジスタとしては、電界効果トランジスタであればよく、半導体基板上に形成されるMOSトランジスタ（LCOS（リキッドクリスタル・オン・シリコン）デバイスに適用される）、また、ガラスなどの絶縁性基板上に形成される薄膜トランジスタ（TFT）であってもよい。

**【0169】**

また、表示素子として、液晶素子が用いられる場合、透過型および反射型いずれであっても、本発明は適用可能である。

**【0170】****【発明の効果】**

以上のように、この発明に従えば、画素が接続されるゲート線の選択状態から非選択状態への遷移を検出し、この検出結果に基づいて次の行のデータ書込に関連する動作を制御するように構成しており、選択状態のゲート線が非選択状態へ移行した後に自動的に次のサイクルにおけるデータ書込に関連する動作を開始しており、タイミング設計が容易となり、またタイミングマージンを大きくすることができる。

**【図面の簡単な説明】**

**【図1】** この発明に従う画像表示装置の全体の構成を概略的に示す図である。

**【図2】** 図1に示す画像表示装置の動作を示す信号波形図である。

**【図3】** この発明の実施の形態1に従う画像表示装置の要部の構成を概略的に示す図である。

**【図4】** 図3に示す画素の構成を概略的に示す図である。

**【図5】** 図3に示す非活性検出回路の構成を示す図である。

**【図6】** 図3に示すゲート線駆動回路の構成を示す図である。

**【図7】** この発明の実施の形態1に従う画像表示装置の動作を示す信号波形図である。

**【図8】** 図5に示すプリチャージ指示信号を発生する部分の構成の一例を概略的に示す図である。

**【図9】** 図8に示すプリチャージ指示信号発生部の動作を示すタイミング図である。

**【図10】** プリチャージ指示信号発生部の他の構成を示す図である。

**【図11】** 図10に示すプリチャージ指示信号発生部の動作を示す信号波形図である。

【図 1 2】 この発明の実施の形態 1 の変更例の要部の構成を概略的に示す図である。

【図 1 3】 図 1 2 に示す非活性検出回路の構成の一例を示す図である。

【図 1 4】 図 1 3 に示す非活性検出回路の動作を示す信号波形図である。

【図 1 5】 図 1 3 に示す活性制御信号を発生する部分の構成の一例を示す図である。

【図 1 6】 図 1 5 に示す活性制御信号発生部の動作を示す信号波形図である。

【図 1 7】 この発明の実施の形態 2 に従う画像処理装置の要部の構成を示す図である。

【図 1 8】 図 1 7 に示す回路の動作を示す信号波形図である。

【図 1 9】 この発明の実施の形態 3 に従う画像表示装置の要部の構成を概略的に示す図である。

【図 2 0】 図 1 9 に示す画像表示装置の動作を示す信号波形図である。

【図 2 1】 この発明の実施の形態 4 に従う画像表示装置の構成を概略的に示す図である。

【図 2 2】 図 2 1 に示す画像表示装置の動作を示す信号波形図である。

【図 2 3】 図 2 1 に示す入力信号を発生する部分の構成の一例を示す図である。

【図 2 4】 図 2 3 に示す入力信号発生部の動作を示すタイミング図である。

【図 2 5】 この発明の実施の形態 5 に従う画像表示装置の構成を概略的に示す図である。

【図 2 6】 図 2 5 に示すダミー画素マトリクスに関連する部分の構成を示す図である。

【図 2 7】 図 2 6 に示す回路の動作を示す信号波形図である。

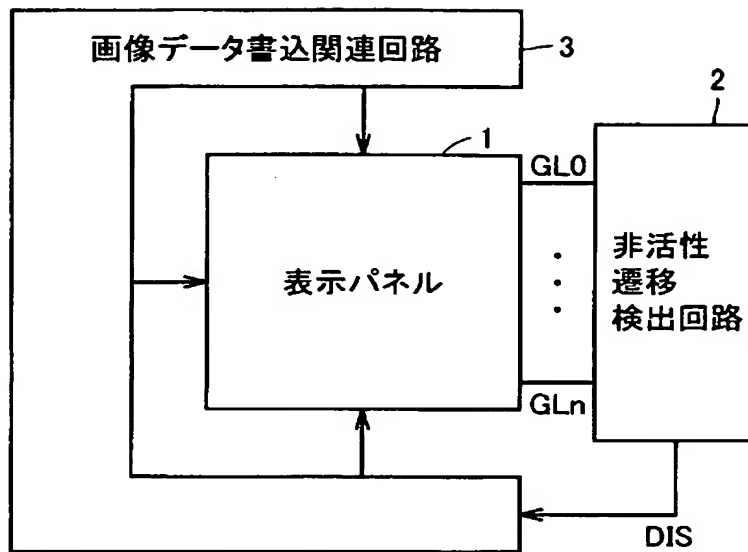
【図 2 8】 この発明の実施の形態 6 において用いられる画素の構成を示す図である。

【符号の説明】

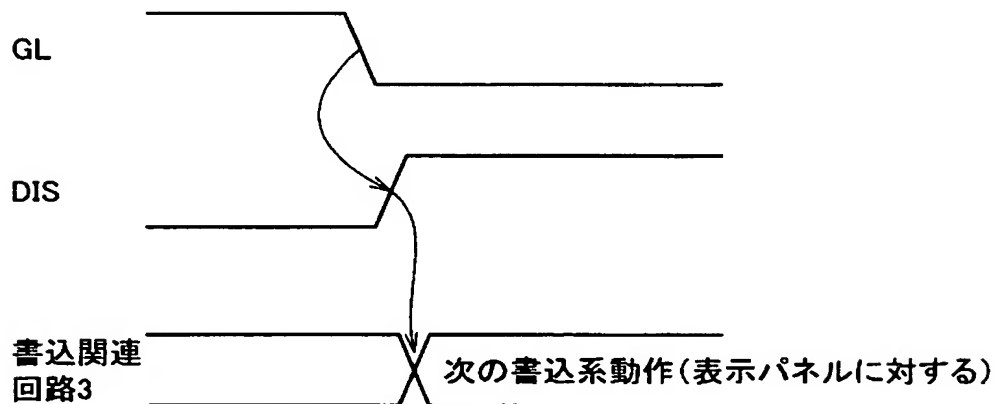
1 表示パネル、2 非活性遷移検出回路、3 画像データ書込関連回路、10 垂直走査回路、SFT シフトレジスタ、GDR0-GDRn ゲート線駆動回路、DSL0-DSLn 非活性検出回路、12 データ書込回路、14 対向電極駆動回路、15 非活性遷移制御検出信号線、16 対向電極、30 容量素子、31, 32, 33 PチャネルMOSトランジスタ、40a, 40b ANDゲート、45 活性化禁止回路、41 レベルシフタ、100 DA変換回路、110 シフトレジスタ、112 第1のラッチ回路、114 第2のラッチ回路、116 マルチプレクサ、120 ラッチ回路、122, 124 スイッチゲート、150 正規画素マトリクス、152 ダミー画素マトリクス、DGDR0, DGDR1 ダミーゲート線駆動回路、DDSL0, DDSL1 非活性検出回路。

【書類名】 図面

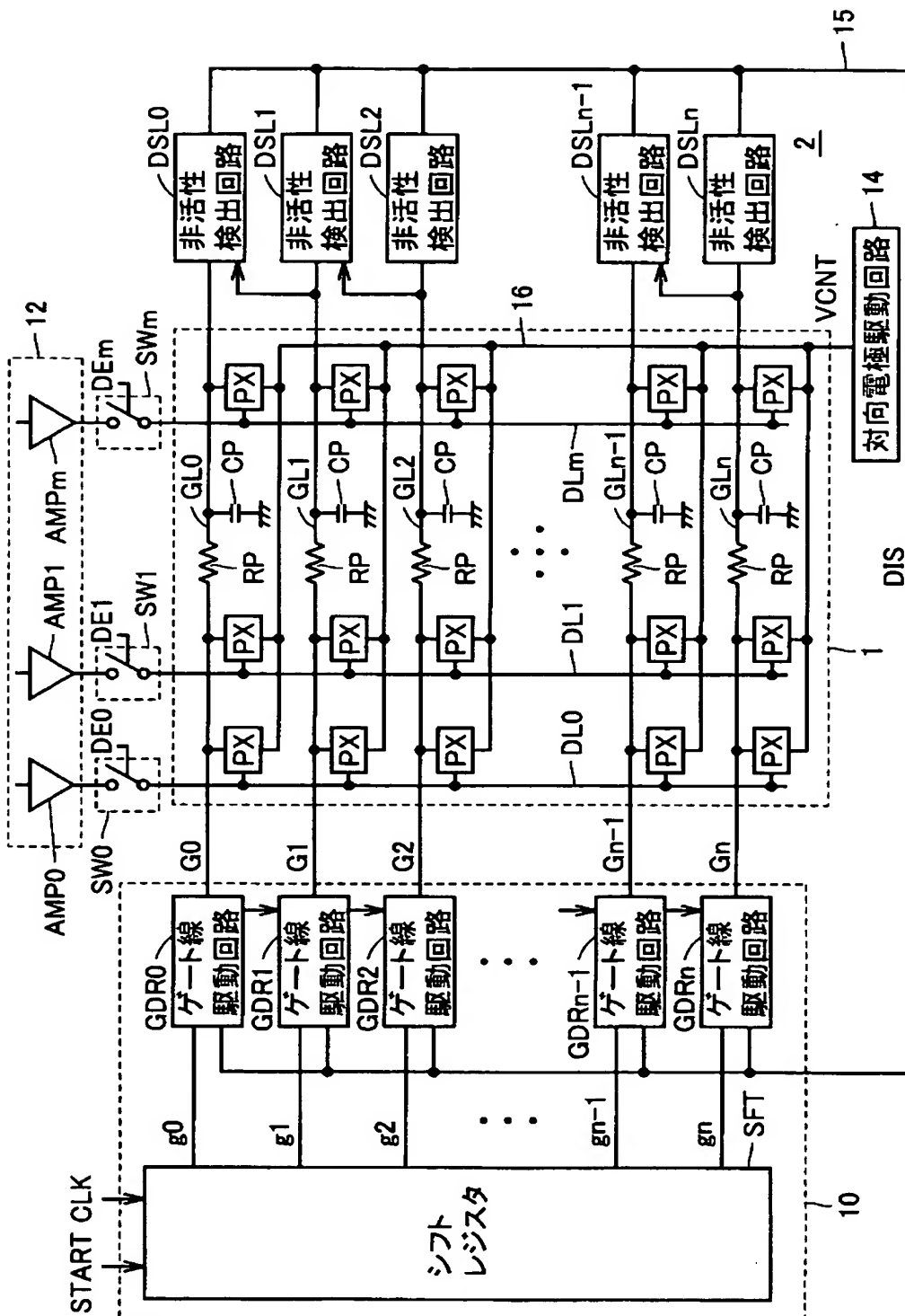
【図 1】



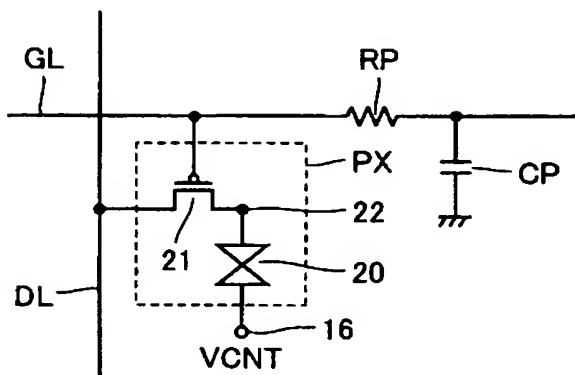
【図 2】



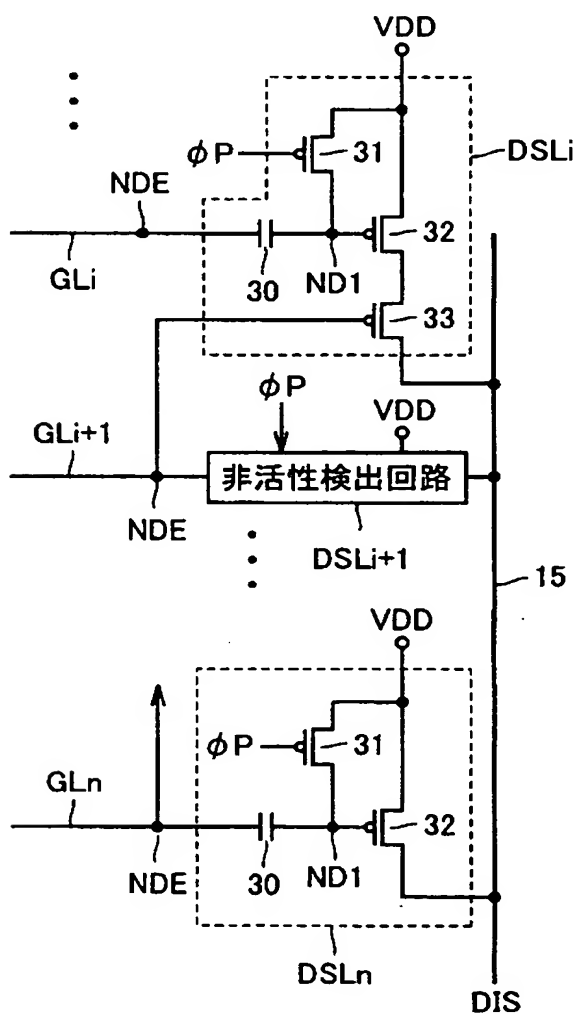
【図 3】



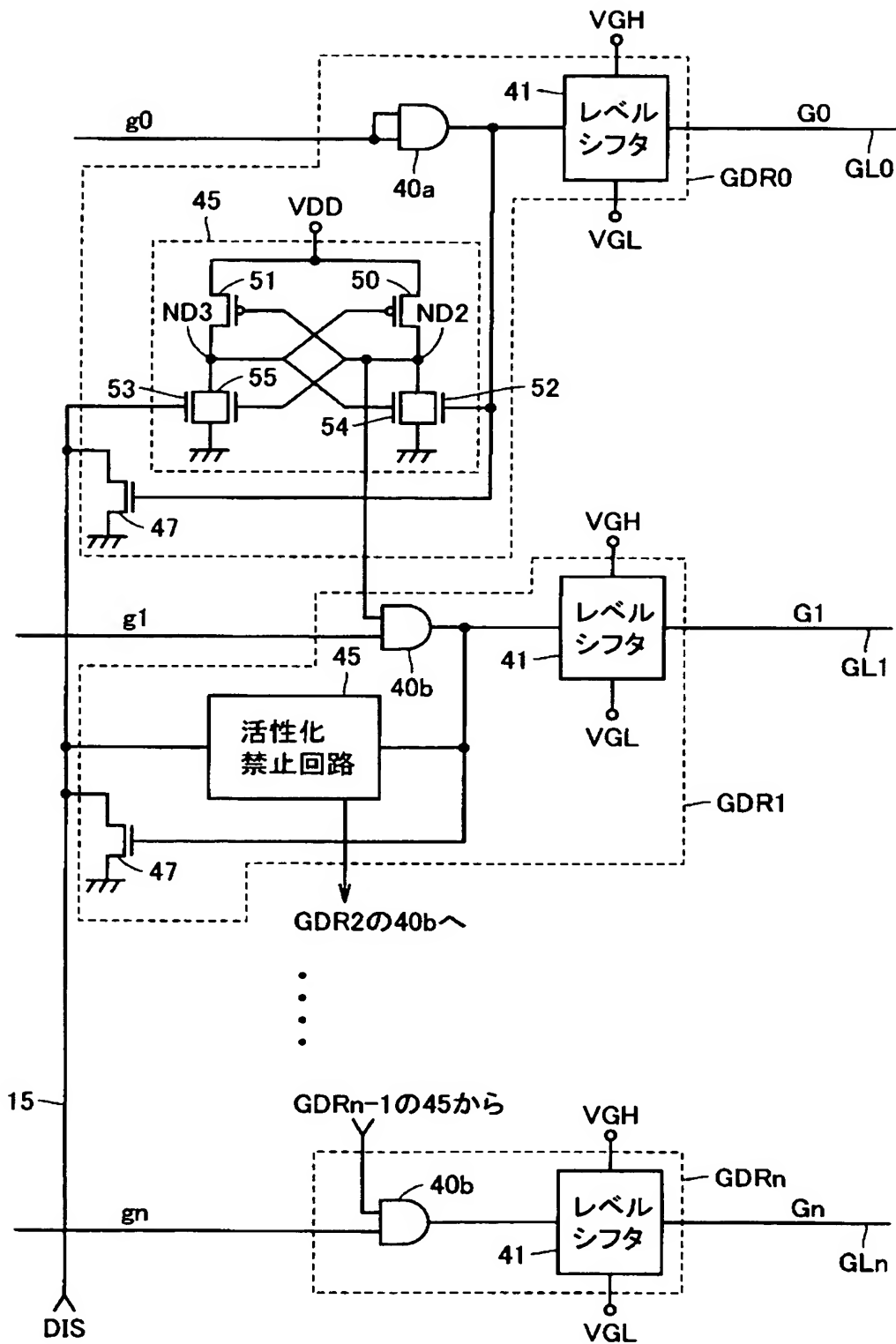
【図 4】



【図 5】

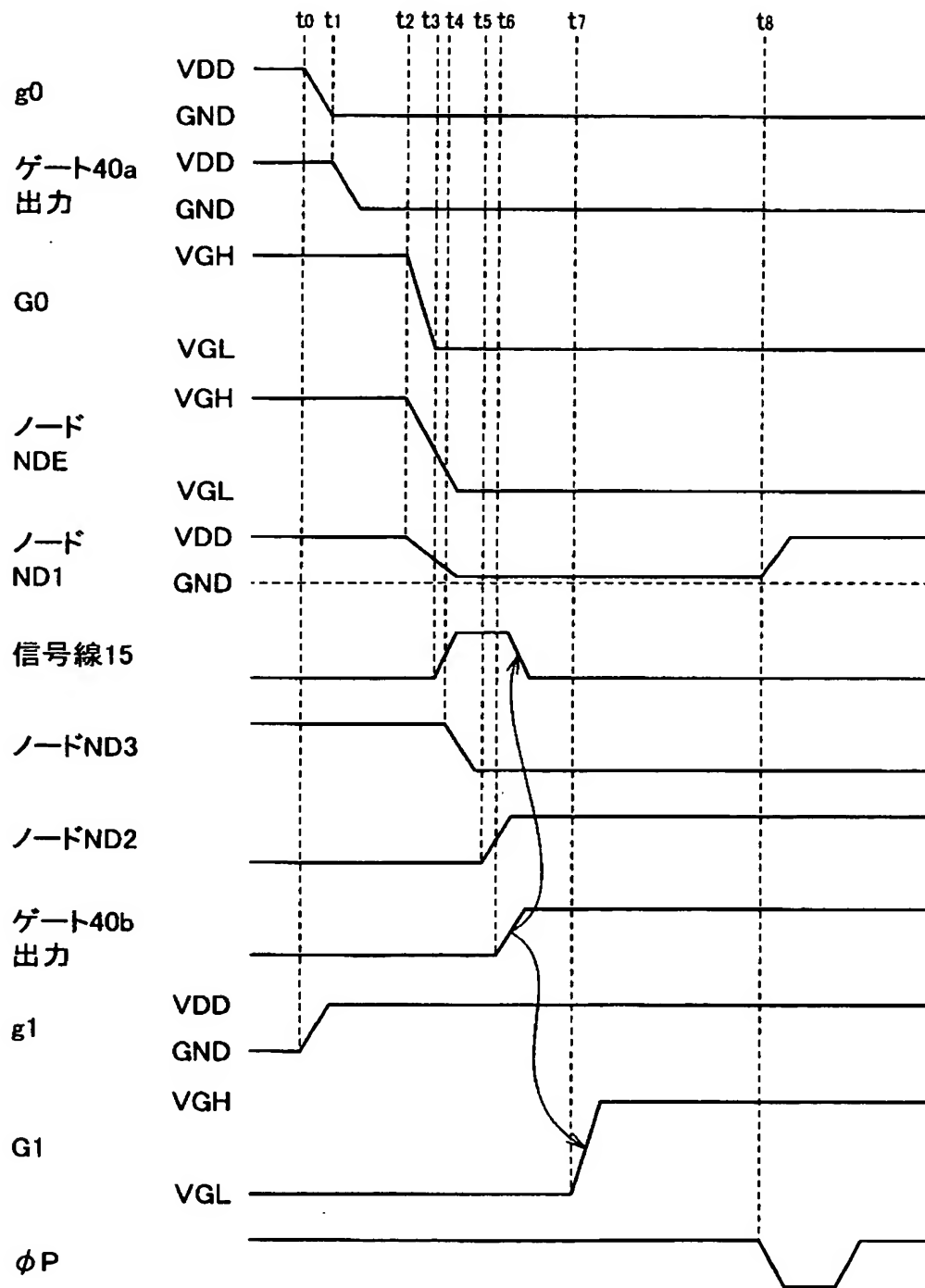


【図 6】

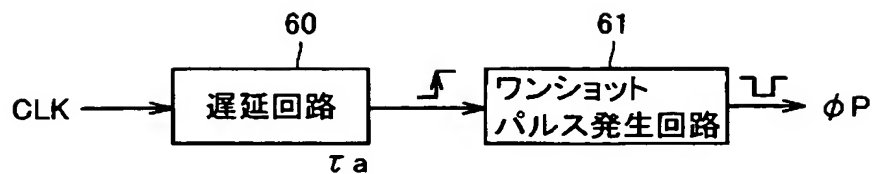




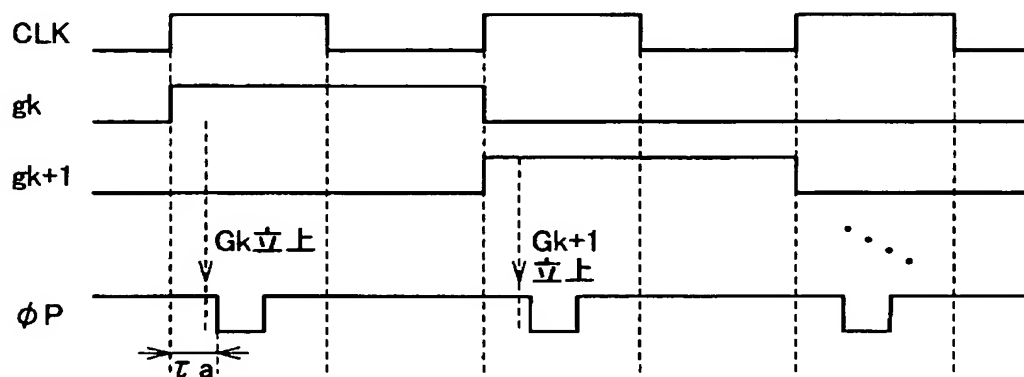
【図 7】



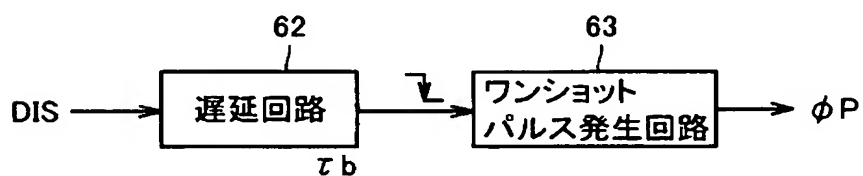
【図 8】



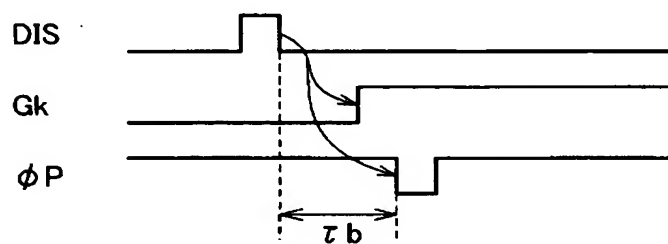
【図 9】



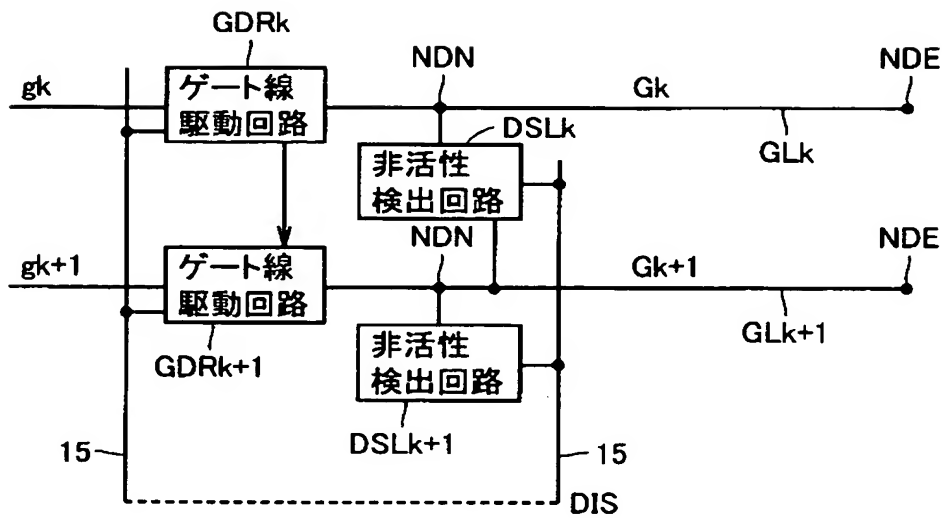
【図 10】



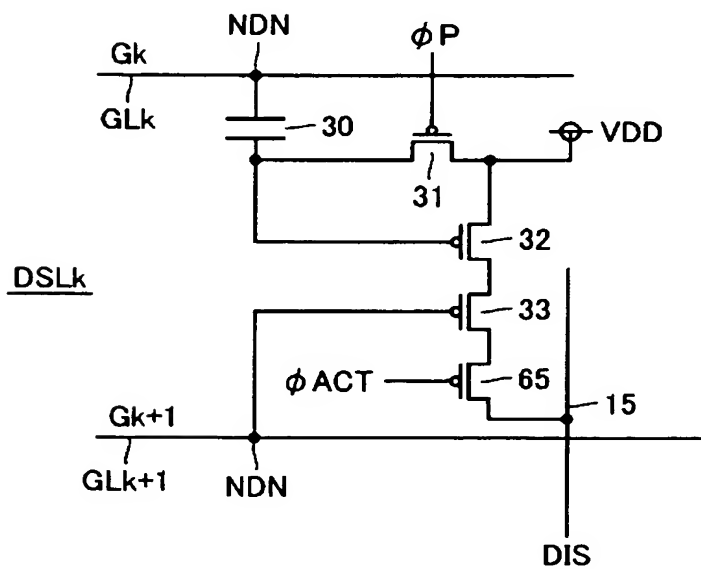
【図 11】



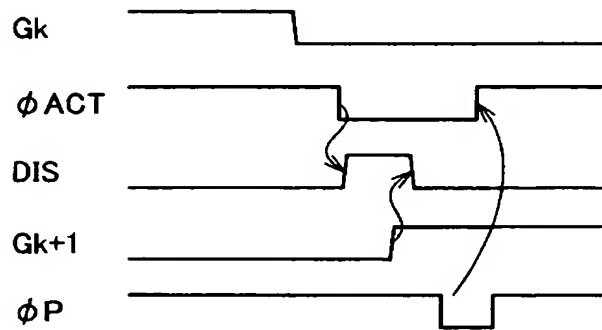
【図 12】



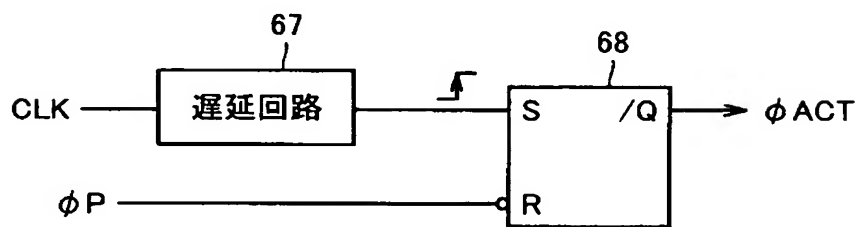
【図 13】



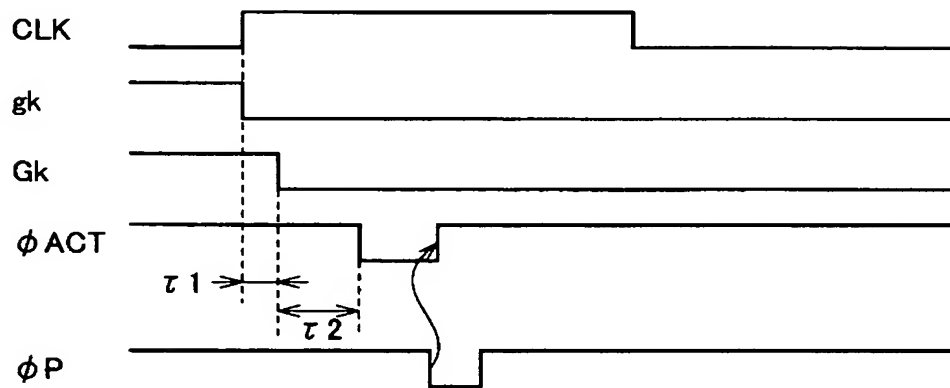
【図 14】



【図 15】

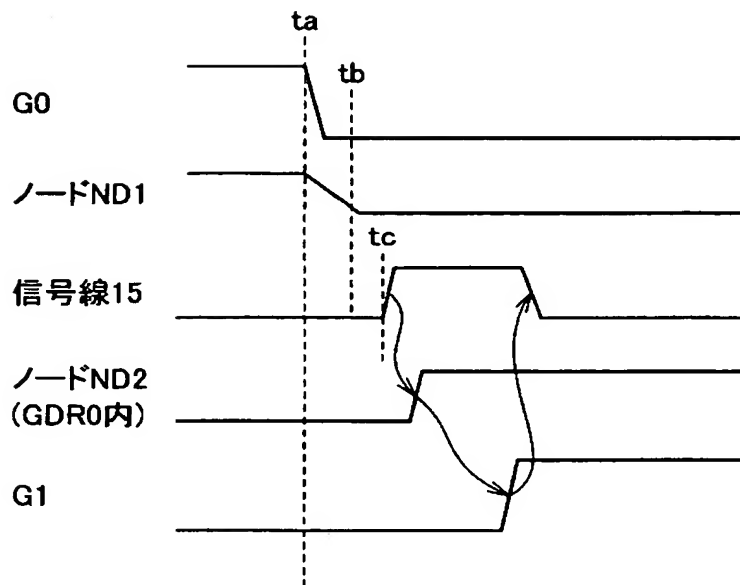


【図 16】

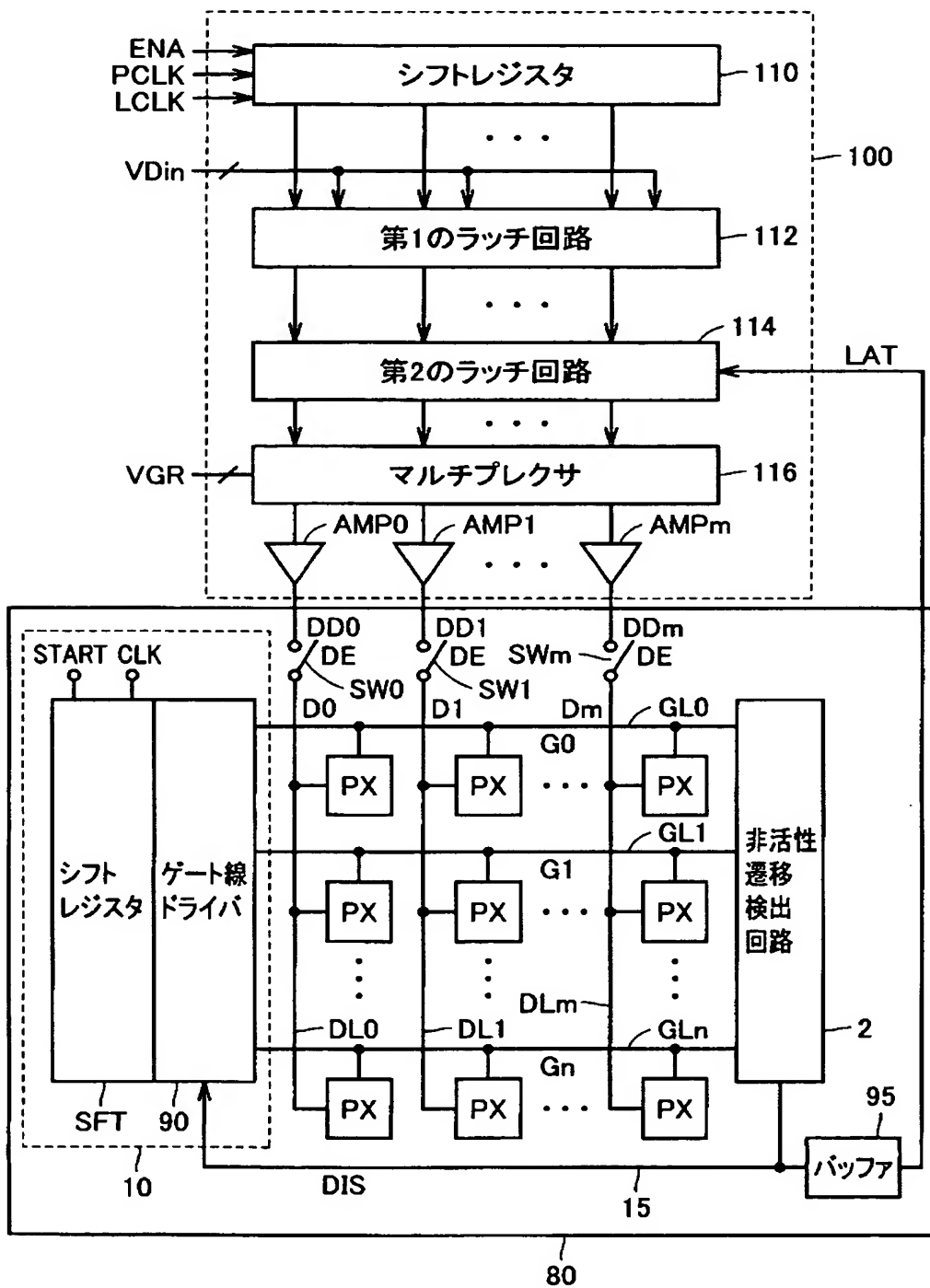




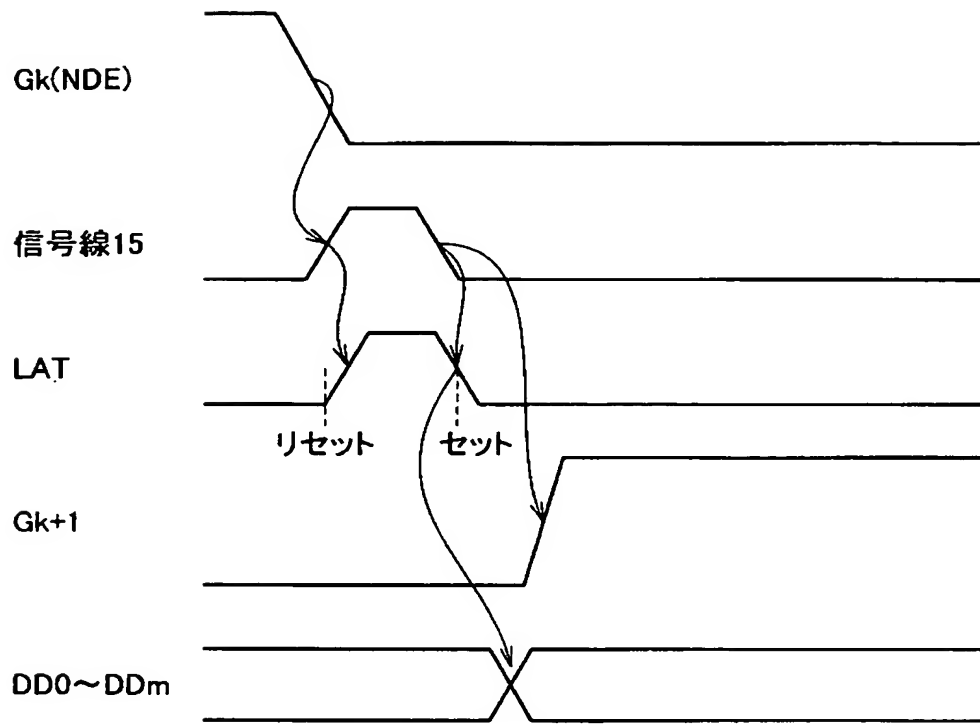
【図 18】



【図 19】

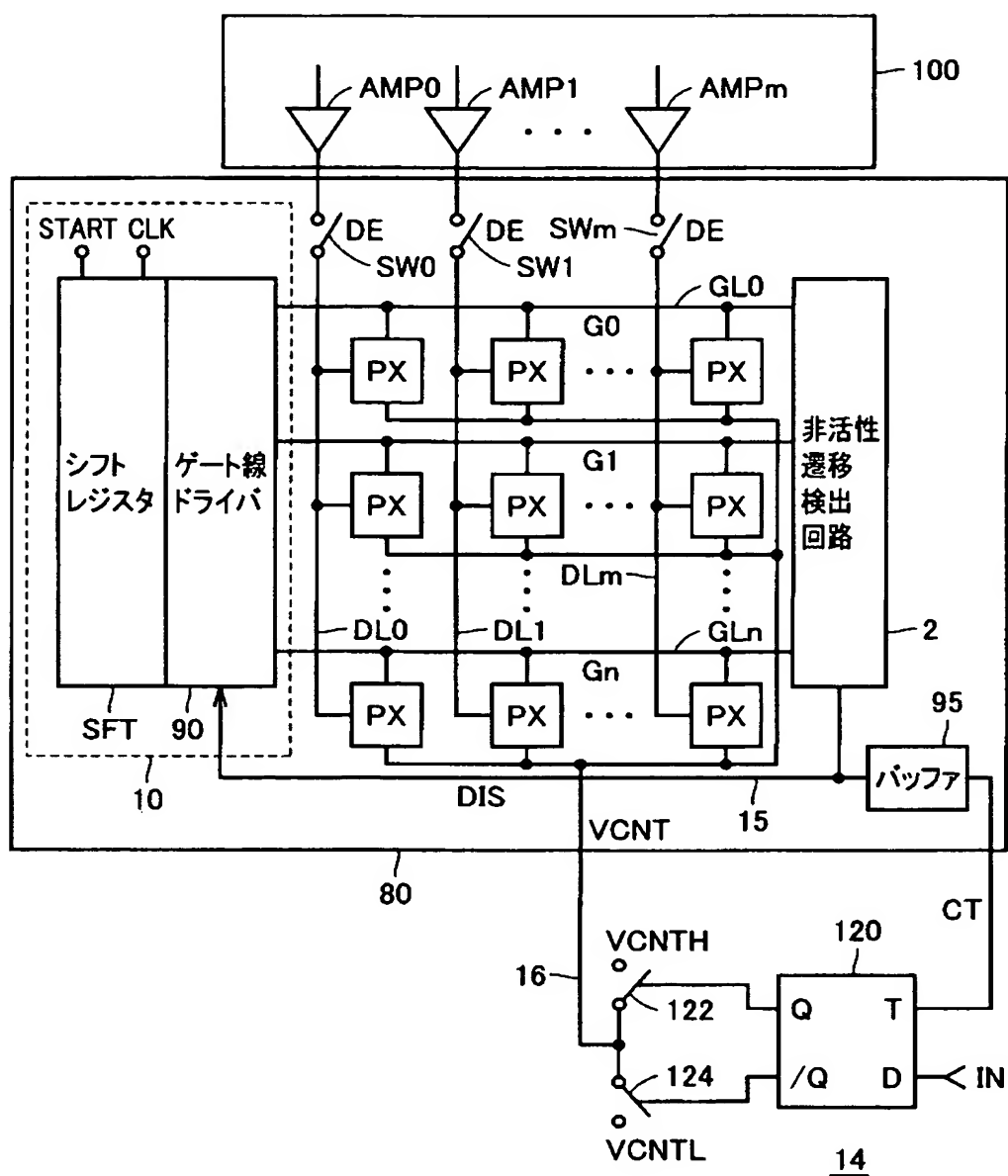


【図 20】

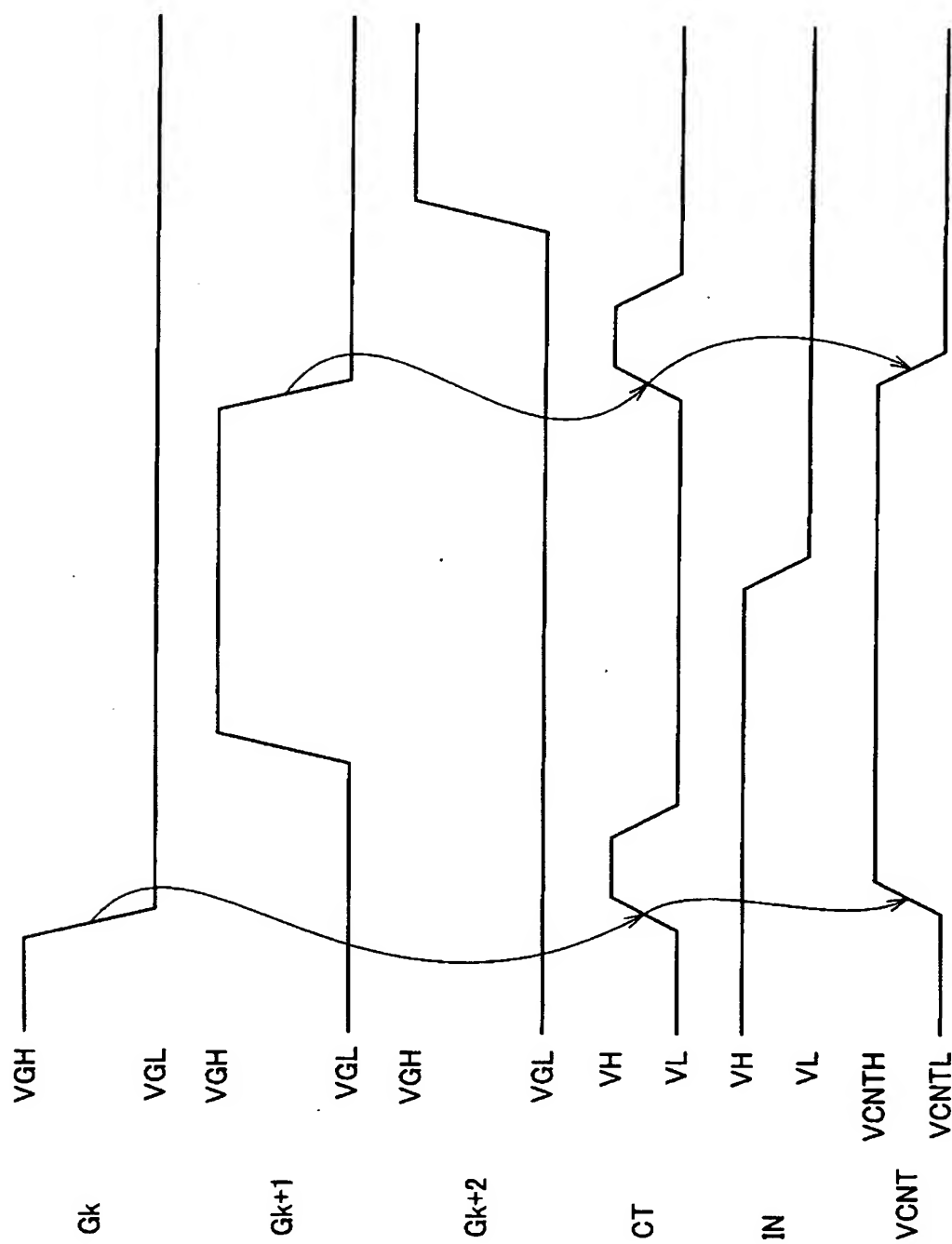




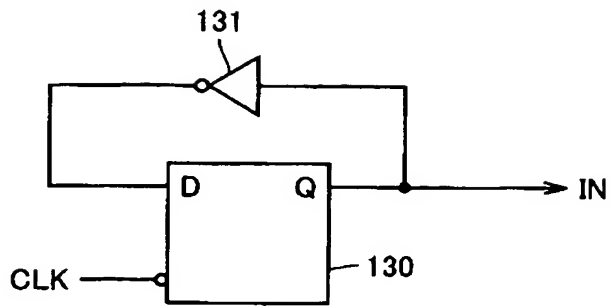
【図 21】



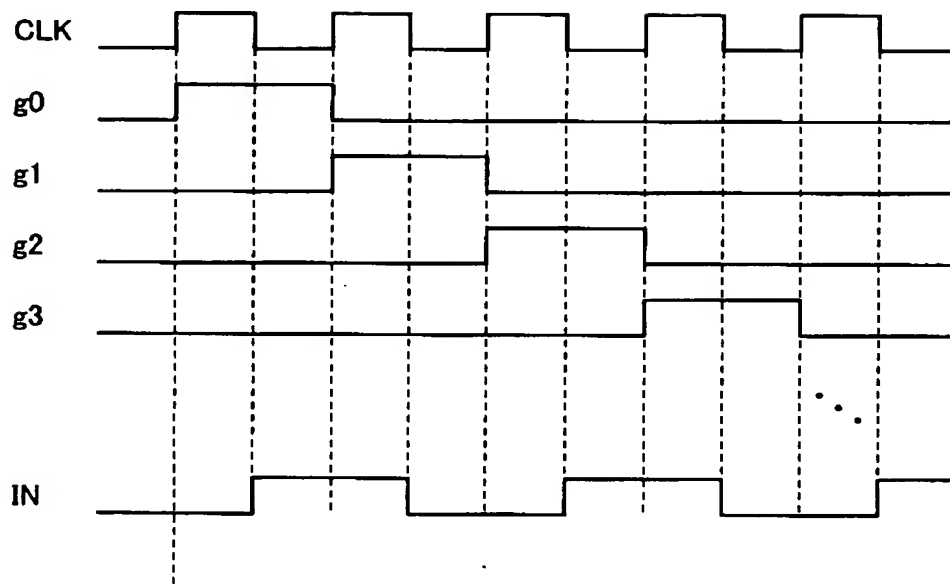
【図 22】



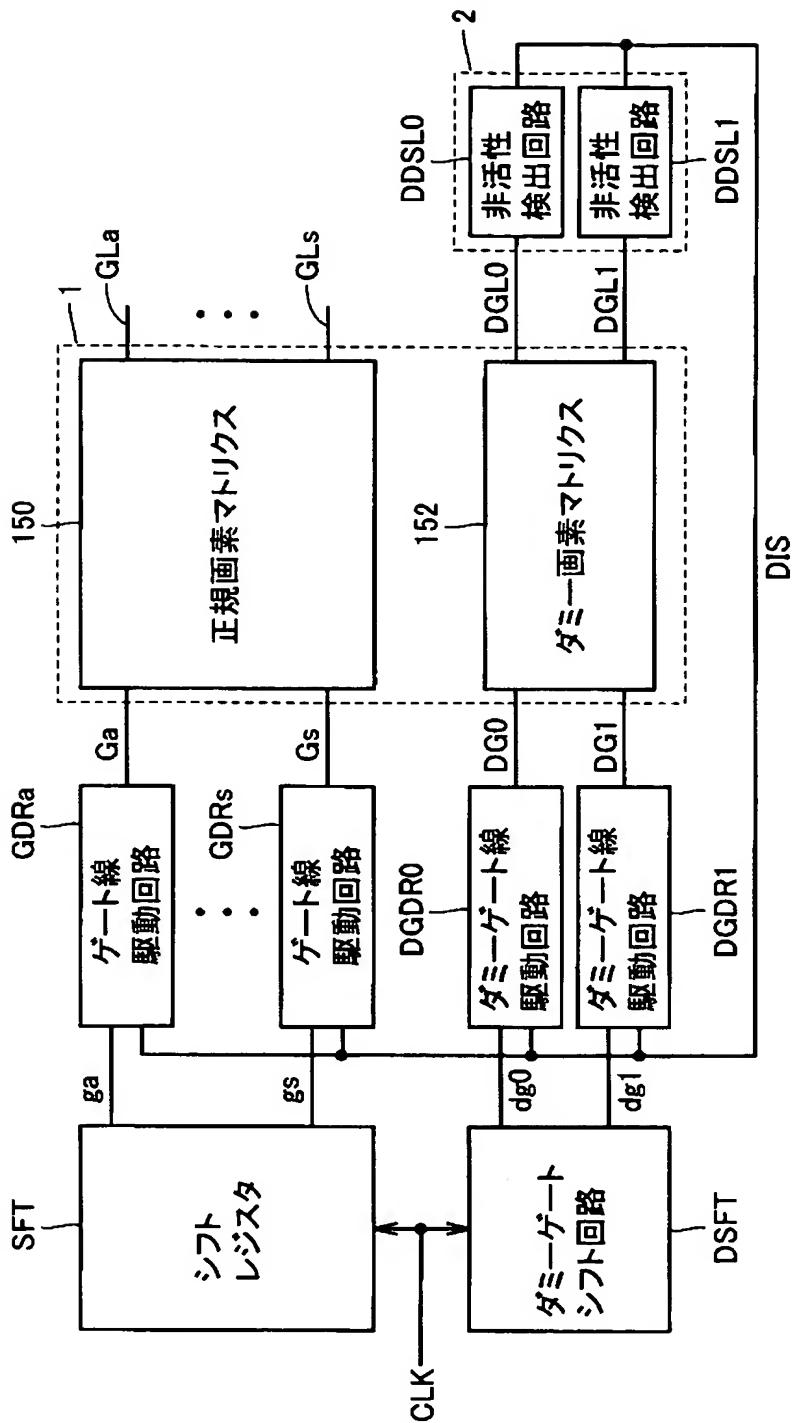
【図 2 3】



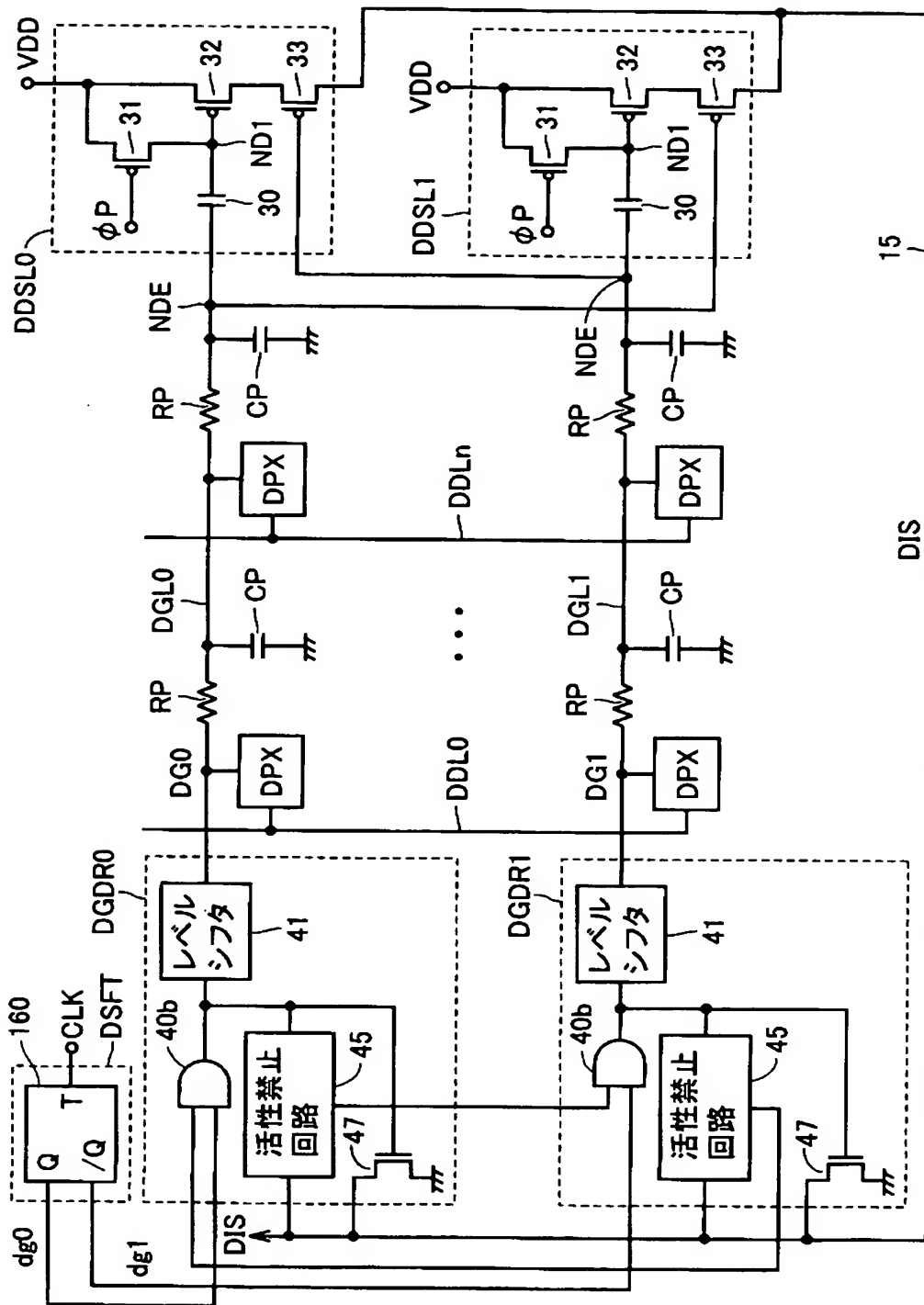
【図 2 4】



【図 25】



【図 26】





【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型表示装置において、選択ゲート線の非選択状態移行時次のサイクルのデータ書込に対する書込マージンを大きくする。

【解決手段】 表示パネル（１）の画素行に対応して配置されるゲート線（ $GL_0 - GL_n$ ）において選択ゲート線の選択状態から非選択状態への遷移を非活性遷移検出回路（２）により検出する。非活性遷移検出信号（ $DIS$ ）に従って次のサイクルにおけるデータ書込に関連する回路（３）の動作を起動する。

【選択図】 図 1

特願 2 0 0 3 - 1 6 3 7 8 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社